

**BIDANG PENDIDIKAN DAN PENGAJARAN**  
**BERITA ACARA PERKULIAHAN**  
**KULIAH OFF-LINE**

**PERIODE SEMESTER GENAP 2023-2024**

MATA KULIAH:

**ELEKTRONIKA DASAR 2 KLAS A**

*LAMPIRAN BERITA ACARA PERKULIAHAN :*

- 1. SK.DEKAN FSTI SEMESTER GENAP 2023/2024*
- 2. PRESENSI KEHADIRAN MAHASISWA & DOSEN*
- 3. BAP UAS SEMESTER GENAP 2023/2024*
- 4. NILAI KOMULATIF; KEHADIRAN, TUGAS, UTS DAN UAS*
- 5. CONTOH HAND OUT MATERI AJAR*




**PROGRAM STUDI FISIKA**  
**FAKULTAS SAINS & TEKNOLOGI INFORMASI**  
**INSTITUT SAINS DAN TEKNOLOGI NASIONAL**



YAYASAN PERGURUAN CIKINI  
INSTITUT SAINS DAN TEKNOLOGI NASIONAL  
FAKULTAS SAINS DAN TEKNOLOGI INFORMASI

Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640  
Telp. 021-7270090 (hunting), Fax. 021-7866955, hp: 081291030024  
Email: [fsti@istn.ac.id](mailto:fsti@istn.ac.id) Website: [www.istn.ac.id](http://www.istn.ac.id)

**SURAT PENUGASAN TENAGA PENDIDIK**  
**Nomor : 35/03.1-I/III/2024**  
**SEMESTER GENAP, TAHUN AKADEMIK 2023/2024**

N a m a	: Ir. Edy Supriyadi, MT	Status Pegawai	:	Tetap	
NIK	: 22870030	Program Studi	:	Teknik Elektro	
Jabatan Akademik	: Lektor Kepala				
Bidang	Perincian Kegiatan	Ruang/ Tempat	Hari / Waktu	Kredit (sks)	Keterangan
I PENDIDIKAN DAN PENGAJARAN	MENGAJAR DI KELAS ( KULIAH / RESPONSI DAN LABORATORIUM )				
	1. Elektronika Dasar 2 ( Fisika )		Kamis/ 13.00-14.40	2	
	2. Sistem Pengaturan ( Fisika )		Senin/ 10.00-11.40	2	
II PENELITIAN	1. Penulisan Karya Ilmiah			1	
III PENGABDIAN DAN MASYARAKAT	1. Pelatihan Dan Penyuluhan			1	
IV UNSUR-UNSUR PENUNJANG	1. Berperan Serta Aktif Dalam Pertemuan Ilmiah / Seminar			1	
Jumlah Total				7	
Kepada yang bersangkutan akan diberikan gaji / honorarium sesuai dengan peraturan penggajian yang berlaku di Institut Sains Dan Teknologi Nasional Penugasan ini berlaku dari tanggal 11 Maret 2024 sampai dengan tanggal 31 Agustus 2024.					
<p>Jakarta, 07 Maret 2024 Wakil Dekan,</p>   <p>( Dr. Musfirah Cahya Fajrah, S.Si., M.Si. )</p> 					

Tembusan :

1. Wakil Rektor Bidang Akademik – ISTN
2. Wakil Rektor Bidang Sumber Daya – ISTN
3. Ka. Biro Pengembangan Sumber Daya Manusia – ISTN
4. Kepala Program Studi Fisika
5. Arsip



# INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : [www.istn.ac.id](http://www.istn.ac.id) / e-Mail : [admin@istn.ac.id](mailto:admin@istn.ac.id) / Telepon : (021) 7270090

## JURNAL PERKULIAHAN FISIKA S1 2023 GENAP

MATA KULIAH : Elektronika Dasar 2  
 NAMA DOSEN : Ir. EDY SUPRIYADI, MT.  
 KREDIT/SKS : 2 SKS  
 KELAS : A

TATAP MUKA KE	HARI/TANGGAL	MULAI	SELESAI	RUANG	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
1	Kamis, 14 Maret 2024	13:00	14:40	R-A1	Selesai	Pendahuluan, orientasi matkul Elka Dasar 2, Sistem penilaian	Pendahuluan, orientasi matkul Elka Dasar 2, Sistem penilaian	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
2	Kamis, 21 Maret 2024	13:00	14:40	R-A1	Selesai	Pengenalan Sistem Analog dan Sistem Digital, Rang listrik Pararel dan Seri, serta simbolnya	Pengenalan Sistem Analog dan Sistem Digital, Rang listrik Pararel dan Seri, serta simbolnya	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
3	Kamis, 28 Maret 2024	13:00	14:40	R-A1	Selesai	Analisa Transistor BJT	Analisa Transistor BJT	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
4	Kamis, 4 April 2024	13:00	14:30	Lab Elk	Selesai	Prinsip dasar Transistor FET	Prinsip dasar Transistor FET	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
5	Senin, 15 April 2024	13:00	14:40	R-A1	Selesai	Sistem Bilangan dan Aljabar Boolean	Sistem Bilangan dan Aljabar Boolean	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
6	Kamis, 25 April 2024	13:00	14:40	R-A1	Selesai	Aljabar Boolean, Tabel Kebenaran dan Gebang Logika	Aljabar Boolean, Tabel Kebenaran dan Gebang Logika	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
7	Kamis, 2 Mei 2024	13:00	14:40	R-A1	Selesai	Konversi Sistem Bilangan dan Tugas Konversi SB	Konversi Sistem Bilangan dan Tugas Konversi SB	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
8	Kamis, 16 Mei 2024	13:00	14:40	R-A1	Selesai	Ujian Tengah Semester (UTS) Semester Genap 2023/2034	Ujian Tengah Semester (UTS) Semester Genap 2023/2034	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
9	Kamis, 30 Mei 2024	13:00	14:40	R-A1	Selesai	METODE KARNOUGH MAP	METODE KARNOUGH MAP	(1 / 1)	Ir. EDY SUPRIYADI, MT.	
10	Kamis, 6 Juni 2024	13:00	14:40	R-A1	Selesai	LANJUTAN METODE KARNOUGH MAP	LANJUTAN METODE KARNOUGH MAP	(1 / 1)	Ir. EDY SUPRIYADI, MT.	



# INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : [www.istn.ac.id](http://www.istn.ac.id) / e-Mail : [admin@istn.ac.id](mailto:admin@istn.ac.id) / Telepon : (021) 7270090

## JURNAL PERKULIAHAN FISIKA S1 2023 GENAP

MATA KULIAH : Elektronika Dasar 2  
NAMA DOSEN : Ir. EDY SUPRIYADI, MT.  
KREDIT/SKS : 2 SKS  
KELAS : A

TATAP MUKA KE	HARI/TANGGAL	MULAI	SELESAI	RUANG	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
11	Kamis, 13 Juni 2024	13:00	14:40	R-A1	Selesai	ANALISA SUM OF PRODUCT ( SOP )	ANALISA SUM OF PRODUCT ( SOP )	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	
12	Kamis, 20 Juni 2024	13:00	14:40	R-A1	Selesai	ANALISA PRODUCT OF SUM ( POS )	ANALISA PRODUCT OF SUM ( POS )	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	
13	Kamis, 20 Juni 2024	13:00	14:40	R-A1	Selesai	FLIP FLOP ( FF ) SET RESET FF SET RESET FF + CLOCK	FLIP FLOP ( FF ) SET RESET FF SET RESET FF + CLOCK	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	
14	Kamis, 27 Juni 2024	13:00	14:40	R-A1	Selesai	FLIP - FLOP ( FF ) S-R FF + CLOCK + PRESET - CLEAR	FLIP - FLOP ( FF ) S-R FF + CLOCK + PRESET - CLEAR	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	
15	Kamis, 4 Juli 2024	13:00	14:40	R-A1	Selesai	FLIP FLOP - DATA ( D - FF ) FLIP FLOP - TOGEL ( T - FF ) JK-FF	FLIP FLOP - DATA ( D - FF ) FLIP FLOP - TOGEL ( T - FF ) JK - FF	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	
16	Kamis, 11 Juli 2024	13:00	14:40	R-A1	Selesai	Ujian Akhir Semester (UAS) Semester Genap 23/24	Ujian Akhir Semester (UAS) Semester Genap 23/24	( 1 / 1 )	Ir. EDY SUPRIYADI, MT.	

Jakarta Selatan, 22 Juli 2024





## INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta  
 Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

### DAFTAR HADIR MAHASISWA FISIKA S1 2023 GENAP

Mata kuliah : 63241PFS02 - Elektronika Dasar 2  
 Kurikulum : 2023  
 Nama Kelas : A  
 Ruang : R-A1 / Ruang A1

Nama Dosen : Ir. EDY SUPRIYADI, MT.  
 Semester : 4  
 SKS : 2  
 Hari : Kamis, Jam 13:00-14:40

Halaman 1/1

No	NIM	NAMA	Pertemuan															
			1 14 Mar 2024	2 21 Mar 2024	3 28 Mar 2024	4 4 Apr 2024	5 18 Apr 2024	6 25 Apr 2024	7 2 Mei 2024	8 16 Mei 2024	9 30 Mei 2024	10 6 Jun 2024	11 13 Jun 2024	12 20 Jun 2024	13 27 Jun 2024	14 4 Jul 2024	15 11 Jul 2024	16 18 Jul 2024
1	22320003	AMIRAH WARDAH	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>
Paraf Ketua Kelas																		
Paraf Dosen			<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>	<i>[Signature]</i>

Jakarta Selatan, 25 Maret 2024

Dosen Pengajar,

*[Signature]*  
 Ir. EDY SUPRIYADI, MT.



# INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

## BERITA ACARA UAS

Kami pengawas UAS pada Program Studi S1 Fisika S1

- 1. Mata Ujian : Elektronika Dasar 2
- 2. Pada Hari, Tanggal : Kamis, 25 Juli 2024
- 3. Waktu : 13:00 - 14:40
- 4. Ruang : Ruang A1
- 5. Tahun Akademik : 2023/2024
- 6. Semester : Genap
- 7. Peserta :
  - Jumlah : 1 orang
  - Hadir : ..... orang
  - Tidak Hadir : ..... orang

Hal - hal yang perlu dilaporkan selama UAS berlangsung:

- 1 .....
- 2 .....
- 3 .....

Demikian Berita Acara ini kami buat dengan sebenarnya untuk diketahui dan dipergunakan sepenuhnya.

Jakarta Selatan, 25 Juli 2024

PENGAWAS

..... (.....)

..... (.....)

..... (.....)



## INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta  
 Website : [www.istn.ac.id](http://www.istn.ac.id) / e-Mail : [admin@istn.ac.id](mailto:admin@istn.ac.id) / Telepon : (021) 7270090

### DAFTAR HADIR UAS (UAS)

**Program Studi** : Fisika S1 **Mata Kuliah** : 63241PFS02 - Elektronika Dasar 2  
**Periode Akademik** : 2023 Genap **Nama Kelas** : A  
**Jadwal** : - **Kelompok** : -

NO	NIM	NAMA	TANDA TANGAN
1	22320003	AMIRAH WARDAH	1 

Keterangan, mahasiswa tidak dapat mengikuti ujian karena :

- \* : Memiliki tanggungan keuangan (tagihan).
- \*\* : Presensi tidak memenuhi syarat.
- \*\*\* : Memiliki tanggungan keuangan dan presensi kurang.

Jakarta Selatan, 25 Juli 2024

Pengajar



Ir. EDY SUPRIYADI, MT.

**INSTITUT SAINS DAN TEKNOLOGI NASIONAL**

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

**NILAI PERKULIAHAN MAHASISWA**

PRODI : FISIKA S1

PERIODE : 2023 GENAP

Mata kuliah : Elektronika Dasar 2

Nama Kelas : A

Kelas / Kelompok :

Kode Mata kuliah : 63241PFS02

SKS : 2

No	NIM	Nama Mahasiswa	TUGAS INDIVIDU (20%)	UTS (30%)	UAS (40%)	KEHADIRAN (10%)	Nilai	Grade	Lulus	Sunting KRS?	Info
1	22320003	AMIRAH WARDAH	80.00	90.00	70.00	100.00	81.00	A	✓		

Tanggal Cetak : Senin, 22 Juli 2024, 15:09:52

Paraf Dosen :

Ir. EDY SUPRIYADI, MT.



## **MODUL PERKULIAHAN**

# **ELEKTRONIKA DASAR 2**

## **FLIP FLOP Bagian 2**

### **Abstract**

Modul ini membahas tentang Flip Flop

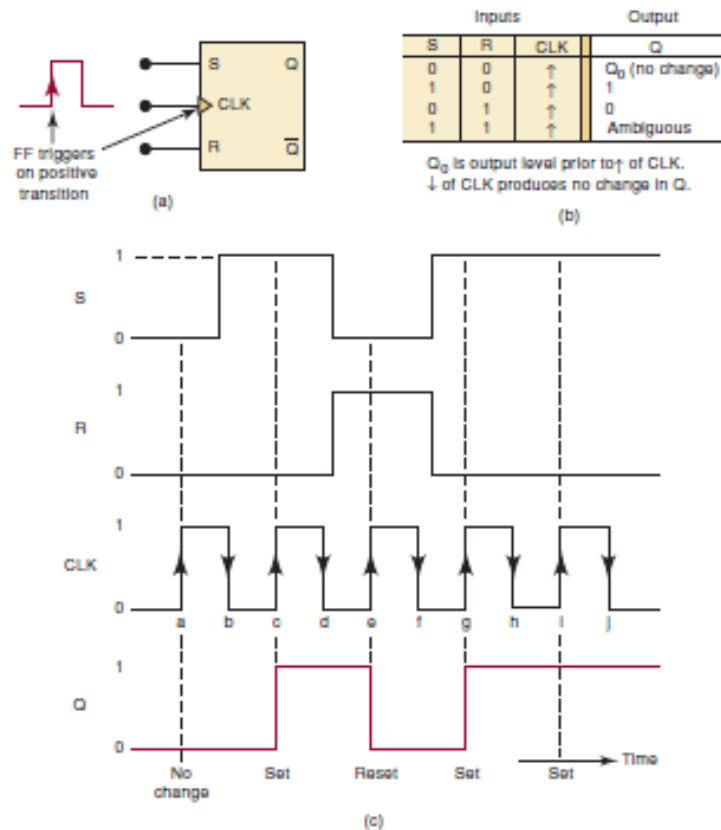
### **Kompetensi**

- Mahasiswa diharapkan memahami flip flop

-

# Jenis jenis Flip Flop

## CLOCKED S-R FLIP-FLOP



**Gambar 7.1 RS Flip Flop**

Gambar 7.1 a

Merupakan symbol dari clocked S-R Flip Flop, ditrigger oleh Positive going edge dari sinyal clock. Berarti FF dapat merubah statenya hanya pada saat sebuah sinyal diberikan ke clock inputnya dan membuat transisi dari 0 ke 1.

Gambar 7.1 b

Tabel kebenaran yang menunjukkan bagaimana FF output akan memberikan respon ke PGT pada CLK Input untuk berbagai kombinasi input S dan R.

- Up arrow menunjukkan bahwa PGT diperlukan pada saat CLK
- Label menentukan level pada Q sebelumnya ke PGT

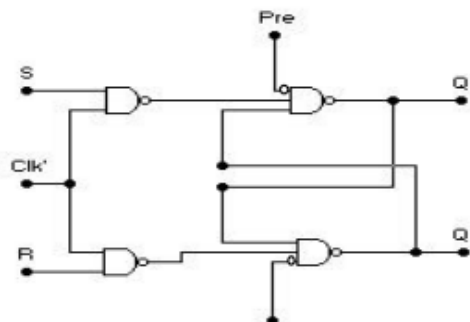
.Gambar 7.1 c

- Gelombang digital yang memperlihatkan operasi dari clocked RS flip flop.
- Analisa gelombang
  - Pada awalnya semua input adalah 0 dan output Q diasumsikan sebagai 0, sehingga  $Q_0 = 0$
  - Pada saat PGT pulsa clock pertama terjadi (point a), input S dan R = 0, sehingga FF tidak mempengaruhi dan tetap pada posisi  $Q=0$  ( $Q=Q_0=0$ )
  - Pada saat PGT terjadi pada pulsa clock kedua (point c), input S menjadi HIGH, dan R tetap LOW. FF menset state 1 pada rising edge dari pulsa clock ini
  - Pada saat pulsa clock ketiga membuat transisi positif (point e), dan  $S=0$   $R=1$ , sehingga menyebabkan FF menjadi clear ke state 0.
  - Pulsa keempat menset FF sekali lagi ke state  $Q=1$  (point g) karena  $S=1$ ,  $R=0$  pada saat Positive edge occurs.
  - Pulsa kelima mendapatkan  $S=1$ ,  $R=0$  pada saat dia membuat positive going transition.  $Q = \text{HIGH}$ , maka tetap berada pada state yang sama.
  - $S=R=1$  tidak digunakan karena hasilnya adalah kondisi ragu.

### Preset dan Clear pada R-S Flip-flop

---

Dengan penambahan Preset (Pre) dan Clear (Clr), seperti pada Gambar 7.2. yang pada ujungnya diberi tanda (inverter), rangkaian dapat dikendalikan dengan masukan tak sinkron. Masukan Pre dan Clr, dapat digunakan untuk penghapusan atau pengesetan data keluaran, sesuai Tabel 7.1 a. Pengesetan langsung  $Q=1$  dapat dilakukan dengan memberi masukan  $\text{Pre}=1$  dan  $\text{Clr}=0$ , tanpa memperdulikan masukan R dan S b. Penghapusan langsung  $Q=0$  dilakukan dengan memberi masukan  $\text{Pre}=0$  dan  $\text{Clr}=1$ , tanpa memperdulikan masukan R dan S c. Rangkaian dalam keadaan modus operasi, bila masukan  $\text{Pre}=\text{Clr}=0$



Gambar 7.2 Clocked FF



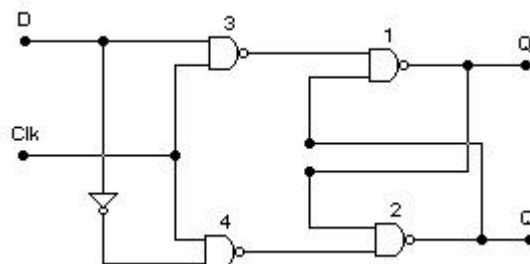
Tabel 7.1 Set dan Reset

Tabel Kebenaran							
Pre	Clr	R	S	Clk	Q	Q'	Mode
1	1	x	x	x	1	1	Invalid**
1	0	x	x	0	1	0	Set**
0	1	x	x	0	0	1	Reset**
0	0	x	x	0	$Q_t$	$Q'_t$	Memori
0	0	0	0	$\uparrow$	$Q_t$	$Q'_t$	Memori
0	0	0	1	$\uparrow$	1	0	Set
0	0	1	0	$\uparrow$	0	1	Reset
0	0	1	1	$\uparrow$	1*	1*	invalid

x = sembarang                       $Q_t$  = tetap  
 \* = invalid (larangan)              \*\* = tak sinkron

### D-FLIP FLOP

Rangkaian D flip-flop yang dibentuk oleh gerbang NAND ditunjukkan dalam Gambar 10. Rangkaian ini sama seperti R-S flip-flop yang menggunakan NAND, tetapi antara masukan S dan R terpasang inverter yang membuat masukan R merupakan komplement masukan S



Gambar 7.3 Gerbang dan Tabel Kebenaran D FF

### D Flip-flop Dengan Gerbang NAND

Tabel Kebenaran				
D	Clk	Q	Q'	Mode
x	0	$Q_{t-1}$	$Q'_{t-1}$	Memori
0	1	0	1	Data in
1	1	1	0	Data in

x = sembarang  
 $Q_{t-1}$  = keluaran sebelumnya

Pengesean masukan klock Clk pada level 0, berarti masukkan gerbang NAND 3 dan 4 berlogik 0, keadaan ini menyebabkan keluaran kedua gerbang NAND tersebut berlogik 1, yang tidak mengubah keadaan keluaran pengancing gerbang NAND 1 dan 2. Rangkaian ini dalam keadaan mode memori sepanjang klock Clk=0, lihat Gambar 7.3.

Pengesean masukan klock Clk pada level 1, terjadi perpindahan kontrol keluaran rangkaian D flip-flop, pada masukan D. Keluaran Q=1 bila masukan D=1, dan keluaran Q=0 bila masukan D=0. Keluaran Q rangkaian D flip-flop selalu sama dengan masukan D, sepanjang klock Clk=1. Sedang keluaran Q' selalu merupakan komplemen dari masukan D.

Dalam kenyataan pengesean klock Clk=1 membuat keluaran Q=D dan Q'=NOT D. Rangkaian D flip-flop tidak mempunyai mode masukan invalid sebagaimana terjadi pada R-S flip-flop. Dengan adanya inverter pada salah satu masukan S-R flip-flop, kondisi invalid tidak akan terjadi. Mode invalid terjadi pada R-S flip-flop saat keadaan kedua masukan R-S flip-flop berlevel 1 untuk waktu sama.

Keluaran Q selalu sesuai dengan masukan D selama Clk=1, dengan kata lain dalam rangkaian sepertinya masukan D berhubungan langsung dengan keluaran Q, atau melalui inverter dengan keluaran Q'. Mode memori R=S=0, ketika Clk=1 pada R-S flip-flop tidak terjadi dalam D flip-flop, keadaan memori dalam D flip-flop hanya dapat terjadi ketika Clk=0, lihat baris pertama pada Gambar 7.3

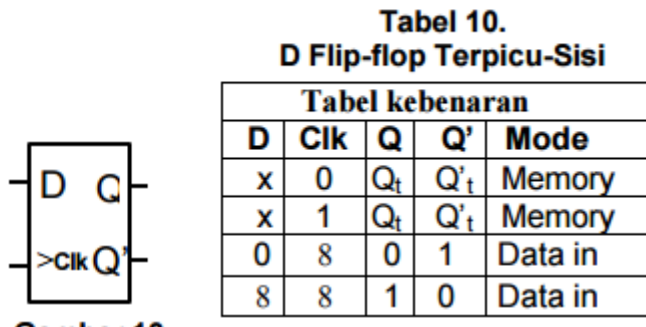
Kinerja dari D flip-flop dapat dirangkum sebagai berikut : 1. Keluaran Q selalu mengikuti masukan D sepanjang klock Clk=1 2. Flip-flop dalam keadaan mode memori sepanjang klock Clk=0 3. Rangkain tidak mempunyai kondisi operasi invalid.



## D flip-flop terpicu-sisi (Edge-Triggered)

---

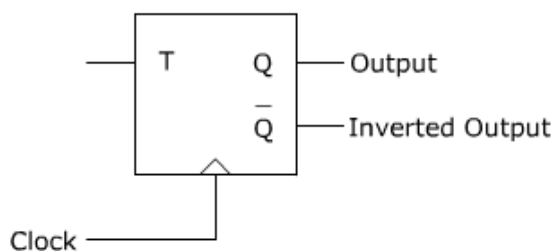
D flip-flop jenis ini secara normal dalam keadaan mode memori baik klok pada logik 0 maupun pada logik 1. Hanya ada satu interval waktu yang sangat pendek yang dapat mengubah keadaan keluaran, yaitu masa perubahan dari 0 ke 1, atau perubahan dari 1 ke 0. Flip flop jenis ini hanya merespon pada sisi naik atau sisi turun dari sebuah bentuk gelombang masukan, selain itu D flip flop selalu dalam keadaan mode memori.



## T FLIP FLOP

---

The T type flip-flop is a single input device: T (trigger). Two outputs: Q and Q' (where Q' is the inverse of Q).



The operation of the T type flip-flop is as follows: A '0' input to 'T' will make the next state the same as the present state (i.e. T = 0 present state = 0 therefore next state = 0). However a '1' input to 'T' will change the next state to the inverse of the present state (i.e. T = 1 present state = 0 therefore next state = 1).

Knowing the above, we can now formalise the operating characteristics and the state change table:

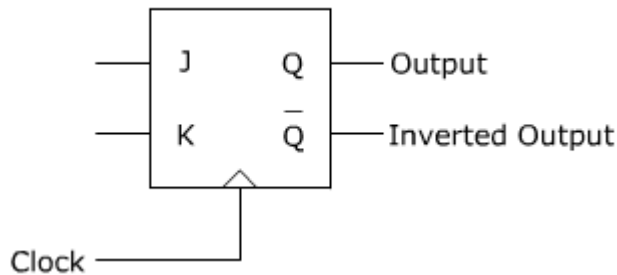


Input	Circuit Action
T	$Q_{(\text{Time } t+1)}$
0	$Q^{(t)}$
1	$Q^{(t)'}$

Present State	Next State	Input T	Map Entry
0	0	0	0
0	1	1	T or 1
1	0	1	T or 1
1	1	0	0

## JK FLIP FLOP

The JK type flip-flop consists of two data inputs: J and K, and one clock input. There are again two outputs Q and Q' (where Q' is the reverse of Q).



Input		Circuit Action
J	K	$Q_{(\text{Time } t+1)}$
0	0	$Q^{(t)}$
1	0	0
0	1	1
1	1	$Q^{(t)'}$

- When  $J=K=0$ , the current output will carry through to the next state. e.g. Current state  $Q =$  Next state  $Q$
- When  $J=0$  and  $K=1$ , the next state output will be put to 0. This happens regardless of the present state output.
- When  $J=1$  and  $K=0$ , the next state output will be asserted (put to 1). This happens regardless of the present state output.
- When  $J=K=1$ , the next state output will be the inverse of the current state output. e.g. Current state  $Q' =$  Next state  $Q$ .

Knowing the above we can now construct the state change table:

Present State	Next State	Inputs		Map Entry	
		J	K	J	K
0	0	0	X	0	X
0	1	1	X	1	X
1	0	X	1	X	1
1	1	X	0	X	0

Lets discuss this state change table with respect to the operating characteristics diagram. There actually exists two operating characteristics that satisfy every possible output combination. This means there should be some 'don't care' terms with each output combination (as our diagram shows). In the list below we shall see how each of the terms

- i. Two conditions exist so that the next state is 0 while the present state is also 0. From the operating characteristics diagram, we can see that condition A and B would both satisfy this scenerio. The common term to make this scenerio true is  $J=0$ . We dont care about K, as  $K=1$  or  $K=0$  while  $J=0$  will work. Hence the 'don't care' term is K,
- ii. Operating characteristics C and D both satisfy this scenerio. The common term is again J, as the situation is solved by  $J=1$  and either  $K=0$  or  $K=1$ , therefore the 'don't care' term is K as shown on the state change table.
- iii. When the output goes from 1 to 0, there are two characteristics that will allow this to happen; B and D.  $K=1$  and J can be equal to 1 or 0. Therefore in this case, J is the 'don't care' term.
- iv. When the JK flip-flop remains at logic, it means that either A or C of the four operating characteristics have been applied. K must equal 0 in either case, but J could have been equal to 1 (A) or 0 (C). Because of this, J is the 'don't care' term.

The JK flip-flop can actually be reconfigured so that it can perform the operation of some of the other flip-flops that are discussed above. For example, if the two inputs J and K are tied together, then the output characteristics are fixed to A and D. This precisely matches the characteristics of a T type flip flop. Also to note, because the way a JK is made, you may replace an SR flip-flop with a JK flip-flop without a change in operation. However you cannot replace a JK flip-flop with an SR flip-flop as a  $S=1$   $R=1$  condition is not allowed, but a  $J=1$   $K=1$  condition is permitted

### **Daftar Pustaka**

Ronald J. Tocci, Neal S.Widmer, Gregory L. Moss, Digital Systems Principles and Applications TENTH EDITION, 2007, Pearson Education International

