

LAMPIRAN

BIDANG PENDIDIKAN DAN PENGAJARAN

BERITA ACARA PERKULIAHAN

PERIODE SEMESTER GENAP 2023/2024

MATA KULIAH:

RANGKAIAN LOGIKA & DIGITAL

DAFTAR ISI :

- 1. SK.DEKAN FTI SEMESTER GENAP 2023/2024*
- 2. PRESENSI KEHADIRAN DOSEN DAN MATERI AJAR*
- 3. CONTOH HAND OUT MATERI AJAR*
- 4. NILAI KOMULATIF; KEHADIRAN,TUGAS, UTS DAN UAS*

PROGRAM STUDI TEKNIK ELEKTRO

FAKULTAS TEKNIK

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

JAKARTA



YAYASAN PERGURUAN CIKINI
INSTITUT SAINS DAN TEKNOLOGI NASIONAL
Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640
Telp. 021-7270090 (hunting), Fax 021-7866955, hp: 081291030024
Email: humas@istn.ac.id Website: www.istn.ac.id

SURAT PENUGASAN TENAGA PENDIDIK
Nomor : 29-IV/03.1-F/III/2024
SEMESTER GENAP TAHUN AKADEMIK 2023 /2024

Nama	: IRMAYANI, IR. MT.	Status Pegawai	: Tetap
NIK/ NIDN/ NIDK	: 22900029	Program Studi	: Teknik Elektro S1
Jabatan Akademik	: LEKTOR		

Bidang	Perincian Kegiatan	Tempat	Jam	Kredit (SKS)	Hari	
I. PENDIDIKAN & PENGAJARAN	1. Pengajaran di kelas termasuk laboratorium					
	22221PTE01 - Dasar Elektronika (klas A)	RD-3	13.00-14.00	2	Kamis	
	22221PTE01 - Dasar Elektronika (klas K)	RD-3	17.00-19.00		Kamis	
	22221PTE04 - Rangkaian Logika & Digital (A)	RC-3	08.00-10.40	3	Selasa	
	22221PTE04 - Rangkaian Logika & Digital (K)	RC-3	16.30-19.00		Selasa	
	22263TLK05 - Sistem Komunikasi Serat Optik (K)	RC-3	17.00-18.40	2	Rabu	
	22263ELT03 - Piranti Gelombang Mikro (K)	RC-3	17.00-19.00		Senin	
	22284TLK01 - Disain Sistem Telekomunikasi (A)	RC-3	13.00-14.40	2	Selasa	
	22284TLK01 - Disain Sistem Telekomunikasi (K)	RC-3	19.00-20.40		Jum'at	
	2. Pembimbing					
	1. Seminar					
	2. Kerja Praktek					
	3. Tugas Akhir/Tesis					
	4. Pembimbing Akademik	R.Dosen	13.00-15.00	1	Rabu	
	3. Penguji					
	1. Tugas Akhir/Tesis					
2. Kerja Praktek						
4. Tugas Tambahan						
1. Menduduki jabatan di Perguruan Tinggi						
II. PENELITIAN	1. Penelitian Ilmiah			1		
	2. Penulisan Karya Ilmiah					
	3. Penulisan Diktat Kuliah					
	4. Menerjemahkan Buku Kuliah					
	5. Pengembangan Program Kuliah Kurikulum					
	6. Pengembangan Bahan Ajar					
III. PENGABDIAN PADA MASYARAKAT	1. Menduduki jabatan di Pemerintahan			1		
	2. Pengembangan Hasil Pendidikan dan Penelitian					
	3. Memberikan penyuluhan/pelatihan/penataran/ceramah					
	4. Memberikan Pelayanan Kepada Masyarakat					
	5. Menulis karya Pengmas yang tidak dipublikasikan					
	6. Pengelolaan Jurnal Ilmiah					
IV. PENUNJANG	1. Menjadi anggota/panitia pada badan/lembaga suatu PT			1		
	2. Menjadi anggota Badan Lembaga Pemerintah					
	3. Menjadi anggota organisasi profesi					
	4. Mewakili PT/lembaga pemerintah, duduk dalam panitia antar lembaga					
	5. Menjadi anggota delegasi nasional ke pertemuan internasional					
	6. Berperan Serta Aktif dalam pertemuan ilmiah/seminar					
	7. Anggota dalam tim layanan pendidikan					
Jumlah Total				16		

Kepada yang bersangkutan akan diberikan gaji/honorarium sesuai dengan peraturan penggajian yang berlaku di Institut Sains dan Teknologi Nasional. Penugasan ini berlaku dari tanggal 01 Maret 2024 sampai dengan 31 Agustus 2024

Tembusan :

1. Wakil Rektor 1 - ISTN
2. Wakil Rektor 2 - ISTN
3. Ka. Biro Sumber Daya Manusia - ISTN
4. Kepala Program Studi Teknik Elektro S1
5. Arsip





INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

JURNAL PERKULIAHAN TEKNIK ELEKTRO S-1 2023 GENAP

MATA KULIAH : Rangkaian Logika & Digital
 NAMA DOSEN : Ir. IRMAYANI, MT.
 KREDIT/SKS : 3 SKS
 KELAS : A

TM KE	HARI TANGGAL	MUL AI	SELE SAI	RUAN G	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIR AN MHS	PENGAJAR	TANDA TANGAN
1	Selasa, 19 Maret 2024	08:00	10:30	R-D3	Selesai	Pendahuluan	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
2	Selasa, 26 Maret 2024	08:00	10:30	R-D3	Selesai	Gerbang Logika	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
3	Selasa, 2 April 2024	08:00	10:30	R-D3	Selesai	Implementasi Gerbang Logika	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
4	Selasa, 16 April 2024	08:00	10:30	R-D3	Selesai	Aljabar Boolean	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
5	Selasa, 23 April 2024	08:00	10:30	R-D3	Selesai	KMAP	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
6	Selasa, 30 April 2024	08:00	10:30	R-D3	Selesai	Fungsi Canonical	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
7	Selasa, 7 Mei 2024	08:00	10:30	R-D3	Selesai	Multilevel Nand Nor	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
8	Selasa, 14 Mei 2024	08:00	10:30	R-D3	Selesai	UTS	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

JURNAL PERKULIAHAN TEKNIK ELEKTRO S-1 2023 GENAP

MATA KULIAH : Rangkaian Logika & Digital
 NAMA DOSEN : Ir. IRMAYANI, MT.
 KREDIT/SKS : 3 SKS
 KELAS / RUANG : A / R-D3

TM KE	HARI/TANGGAL	MULAI	SELESAI	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
9	Selasa, 21 Mei 2024	08:00	10:30	Selesai	Sistem Bilangan	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
10	Sabtu, 25 Mei 2024	12:20	15:00	Selesai	Sistem Bilangan	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
11	Selasa, 4 Juni 2024	08:00	10:30	Selesai	Sistem Pengkodean	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
12	Selasa, 11 Juni 2024	08:00	10:30	Selesai	Komponen Digital	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
13	Selasa, 25 Juni 2024	08:00	10:30	Selesai	Pembahasan tugas multiplexer, komponen digital	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
14	Selasa, 2 Juli 2024	08:00	10:00	Selesai	FLIP FLOP	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
15	Selasa, 9 Juli 2024	08:00	10:30	Selesai	Flip Flop 2	Terlaksana	(0 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
16	Selasa, 16 Juli 2024	08:00	10:30	Selesai	UAS	Terlaksana	(1 / 1)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	

Jakarta Selatan, 30 Juli 2024
 Ketua Prodi Teknik Elektro S-1

Dr._ing. AGUS SOFWAN, M.Eng.Sc.
 NIDN 0331076204



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
 Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

DAFTAR HADIR MAHASISWA TEKNIK ELEKTRO S-1 2023 GENAP

Mata kuliah : 22221PTE04 - Rangkaian Logika & Digital
 Kunkulum : 2023
 Nama Kelas : A
 Ruang : R-D3 / Ruang D3

Nama Dosen : Ir. IRMAYANI, MT.
 Semester : 2
 SKS : 3
 Hari : Selasa, Jam 08:00-10:40

Halaman 1/1

No	NIM	NAMA	Pertemuan															
			1 19 Mar 2024	2 26 Mar 2024	3 2 Apr 2024	4 16 Apr 2024	5 23 Apr 2024	6 30 Apr 2024	7 7 Mei 2024	8 14 Mei 2024	9 21 Mei 2024	10 28 Mei 2024	11 4 Jun 2024	12 11 Jun 2024	13 25 Jun 2024	14 2 Jul 2024	15 9 Jul 2024	16 16 Jul 2024
1	19220004	Abdullah Khoiruraffil umam	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U
Paraf Ketua Kelas																		
Paraf Dosen																		

Jakarta Selatan, 30 Maret 2024

Dosen Pengajar,

Ir. IRMAYANI, MT.



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No RT.13, RT 13/RW 9, Brengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
 Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270990

DAFTAR HADIR UAS (UAS)

Program Studi : Teknik Elektro S-1 Mata Kullah : 22221PTE04 - Rangkaian Logika & Digital
 Periode Akademik : 2023 Genap Nama Kelas : A
 Jadwal : - Kelompok : -

NO	NIM	NAMA	TANDA TANGAN
1	19220004**	Abdullah khoirurafifi umam	

Keterangan, mahasiswa tidak dapat mengikuti ujian karena :

- * Memiliki tanggungan keuangan (tagihan).
- ** : Presensi tidak memenuhi syarat.
- *** Memiliki tanggungan keuangan dan presensi kurang.

Pengajar

M. P. SRIANSYAH ST., MT.

Jakarta Selatan, 16 Juli 2024

Pengajar

Ir. IRMAYANI MT.



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

NILAI PERKULIAHAN MAHASISWA

PRODI : TEKNIK ELEKTRO S-1

PERIODE : 2023 GENAP

Mata kuliah : Rangkaian Logika & Digital

Nama Kelas : A

Kelas / Kelompok :

Kode Mata kuliah : 22221PTE04

SKS 3

No	NIM	Nama Mahasiswa	TUGAS INDIVIDU (20%)	UTS (30%)	UAS (40%)	KEHADIRAN (10%)	Nilai	Grade	Lulus	Sunting KRS?	Info
1	19220004	Abdullah khoirurafifil umam	75.00	65.00	60.00	56.25	64.13	C+	✓		
Rata-rata nilai kelas			75.00	65.00	60.00	56.25	64.13	2.30			

Pengisian nilai untuk kelas ini ditutup pada **Jumat, 2 Agustus 2024** oleh **198509-008**

Tanggal Cetak : Sabtu, 3 Agustus 2024, 17:19:25

Paraf Dosen :

Ir. IRMAYANI, MT.

M FEBRIANSYAH, ST., MT.



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

JURNAL PERKULIAHAN TEKNIK ELEKTRO S-1 2023 GENAP

MATA KULIAH : Rangkaian Logika & Digital

NAMA DOSEN : Ir. IRMAYANI, MT.

KREDIT/SKS : 3 SKS

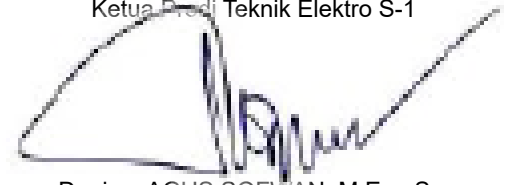
KELAS : K

TATAP MUKA KE	HARI/TANGGAL	MULAI	SELESAI	RUANG	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
1	Selasa, 19 Maret 2024	16:40	19:00		Selesai	PENDAHULUAN	- Kontrak Kuliah - Pengantar Matakuliah	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
2	Selasa, 26 Maret 2024	16:40	19:00		Selesai	Gerbang Logika	Gerbang Logika	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
3	Senin, 1 April 2024	19:30	20:50		Selesai	Implementasi Gerbang Logika	Implementasi Gerbang Logika	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
4	Sabtu, 20 April 2024	10:30	13:00		Selesai	Aljabar Boolean	Aljabar Boolean	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
5	Sabtu, 27 April 2024	10:00	12:00	R-D1	Selesai	KMAP	KMAP	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
6	Sabtu, 4 Mei 2024	10:00	12:00	R-D1	Selesai	Fungsi Canonical	Fungsi Canonical	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
7	Selasa, 7 Mei 2024	16:40	19:00	R-D1	Selesai	Multilevel Nand Nor	Multilevel Nand Nor	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
8	Selasa, 14 Mei 2024	16:40	19:00	R-D1	Selesai	UTS	UTS	(9 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	

9	Selasa, 21 Mei 2024	16:40	19:00	R-D1	Selesai	Sistem Bilangan	Sistem Bilangan	(3 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
10	Selasa, 28 Mei 2024	16:40	19:00	R-D1	Selesai	Rangkaian Aritmetika	Rangkaian Aritmetika	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
11	Sabtu, 8 Juni 2024	10:00	13:00	R-D1	Selesai	Sistem Pengkodean	Sistem Pengkodean	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
12	Sabtu, 15 Juni 2024	10:00	13:00		Selesai	Pembahasan tugas multiplexer, komponen digital	Pembahasan tugas multiplexer, komponen digital	(5 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
13	Sabtu, 22 Juni 2024	10:00	13:00		Selesai	Komponen Digital, multiplexer n Demux, Encoder n Decoder, PLA	Komponen Digital, multiplexer n Demux, Encoder n Decoder, PLA	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
14	Selasa, 2 Juli 2024	16:40	19:00		Selesai	FLIP-FLOP	FLIP FLOP	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
15	Selasa, 9 Juli 2024	16:40	19:00	R-D1	Selesai	Flip Flop 2	Flip Flop 2	(4 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	
16	Selasa, 16 Juli 2024	16:40	19:00	R-D1	Selesai	UAS	UAS	(5 / 9)	Ir. IRMAYANI, MT. M FEBRIANSYAH, ST., MT.	

Jakarta Selatan, 07 Agustus 2024

Ketua Prodi Teknik Elektro S-1



Dr._ing. AGUS SOFWAN, M.Eng.Sc.

NIDN 0331076204



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
 Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

LAPORAN PERSENTASE PRESENSI MAHASISWA TEKNIK ELEKTRO S-1 2023 GENAP

Mata kuliah : Rangkaian Logika & Digital
 Dosen Pengajar : Ir. IRMAYANI, MT.

Nama Kelas : K

No	NIM	Nama	Pertemuan	Alfa	Hadir	Ijin	Sakit	Presentase
Peserta Reguler								
1	20224001	ANDRI SUPARTO	16	9	7			43.75
2	21224001	Kaefri Zanesta	16	9	7			43.75
3	21224002	MICHAEL DAKAULU	16	9	7			43.75
4	23224001	RIKIN JUMADI	16		15	1		93.75
5	23224002	PAJAR DEWANTORO	16		16			100
6	23224010	ADI SETYA KURNIAWAN	16		15	1		93.75
7	23224011	FIGO ARAYA	16	5	10	1		62.5
8	23224012	MUHAMMAD RAFI ABDUL AZIZ	16		16			100
9	23224013	KHAIRPANNUR	16	9	7			43.75

Jakarta Selatan, 07 Agustus 2024
 Ketua Prodi Teknik Elektro S-1

Dr. Ing. AGUS SOFWAN, M.Eng.Sc.
 NIP. 198509-008

NIM	NAMA	Pertemuan															
		1 19 Mar 2024	2 26 Mar 2024	3 2 Apr 2024	4 16 Apr 2024	5 23 Apr 2024	6 30 Apr 2024	7 7 Mei 2024	8 14 Mei 2024	9 21 Mei 2024	10 28 Mei 2024	11 4 Jun 2024	12 11 Jun 2024	13 25 Jun 2024	14 2 Jul 2024	15 9 Jul 2024	16 16 Jul 2024
6	MUHAMMAD RAFI ABDUL AZIZ	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref	Ref
7	KHAIRPANNUR	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Paraf Ketua Kelas																	
Paraf Dosen		U							U		U		U		U		U

Jakarta Selatan, 21 Maret 2024

Dosen Pengajar,

I. IRMAYANI, MT.

Dosen Pengajar,

M. FEBRIAN SYAH, ST., MT.



INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta

Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

NILAI PERKULIAHAN MAHASISWA

PRODI : TEKNIK ELEKTRO S-1

PERIODE : 2023 GENAP

Mata kuliah : Rangkaian Logika & Digital

Nama Kelas : K

Kelas / Kelompok :

Kode Mata kuliah : 22221PTE04

SKS 3

No	NIM	Nama Mahasiswa	TUGAS INDIVIDU (20%)	UTS (30%)	UAS (40%)	KEHADIRAN (10%)	Nilai	Grade	Lulus	Sunting KRS?	Info
1	23224001	RIKIN JUMADI	70.00	81.00	55.00	93.75	69.68	B	✓		
2	23224002	PAJARDEWANTORO	75.00	81.00	60.00	100.00	73.30	B+	✓		
3	23224010	ADI SETYA KURNIAWAN	100.00	80.00	85.00	93.75	87.38	A	✓		
4	23224011	FIGO ARAYA	70.00	60.00	55.00	62.50	60.25	C	✓		
5	23224012	MUHAMMAD RAFI ABDULAZIZ	90.00	85.00	70.00	100.00	81.50	A	✓		
Rata-rata nilai kelas			81.00	77.40	65.00	90.00	74.42	3.26			

Pengisian nilai untuk kelas ini ditutup pada **Sabtu, 3 Agustus 2024** oleh **199104-003**

Tanggal Cetak : Sabtu, 3 Agustus 2024, 17:23:35

Paraf Dosen :

Ir. IRMAYANI, MT.

M FEBRIANSYAH, ST., MT.

RANGKAIAN LOGIKA & DIGITAL

3. Gerbang Logika Dasar

Abstract

Modul ini membahas tentang gerbang gerbang logika dasar

Kompetensi

- Mahasiswa diharapkan dapat mengetahui gerbang gerbang logika dasar

Aljabar Boolean

Aljabar Boolean berbeda dengan aljabar lainnya karena konstanta dan variable Boolean hanya memiliki dua nilai yaitu 1 atau 0.

Variabel Boolean sering digunakan untuk menyatakan level tegangan pada kabel atau terminal input dan output dari sebuah rangkaian. Contoh dalam system digital, 0 mewakili range tegangan dari 0 – 0.8 V, sedangkan 1 mewakili range tegangan dari 2 – 5 V.

Karena Boolean 0 dan 1 tidak mewakili bilangan asli tetapi menyatakan posisi tegangan, maka disebut sebagai logic level.

Macam macam istilah yang digunakan untuk mewakili 0 dan 1 adalah seperti berikut:

Logic 0	Logic 1
False	True
Off	On
Low	High
No	Yes
Open switch	Closed switch

Aljabar Boolean merupakan sebuah persamaan yang menyatakan hubungan antara input dan output dari sebuah rangkaian logika.

Aljabar Boolean memiliki 3 operasi dasar yaitu OR, AND dan NOT. Tiga operasi dasar ini disebut operasi logika.

Rangkaian digital disebut sebagai gerbang logika yang dibangun dari diode, transistor, dan resistor yang dihubungkan sehingga output rangkaian merupakan hasil dari operasi logika (OR, AND, NOT) yang dilakukan pada input.

TABEL KEBENARAN

Tabel kebenaran merupakan gambaran bagaimana sebuah output dari rangkaian logika bergantung kepada logic level yang ada pada rangkaian inputnya, Tabel kebenaran ini berisi kombinasi dari logic level yang ada pada input. Untuk jumlah kombinasi input adalah 2^n . Untuk 2 input maka kombinasinya adalah $2^n = 2^2$ yaitu 4 kombinasi input.

Tabel Kebenaran 2 input

Inputs		Output
A	B	x
0	0	1
0	1	0
1	0	1
1	1	0

Tabel Kebenaran 3 input

A	B	C	x
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

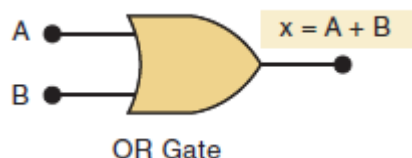
Table Kebenaran 4 input

A	B	C	D	x
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

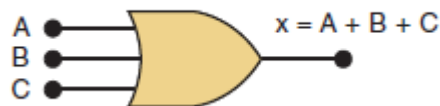
Operasi OR

Operasi OR merupakan operasi logika dimana akan menghasilkan nilai 1 jika salah satu atau semua inputnya bernilai 1. Dalam aljabar Boolean operasi OR dinyatakan sebagai tanda tambah (+)

Gerbang Logika OR 2 input



Gerbang Logika OR 3 Input



Tabel Kebenaran 2 Input

OR		
A	B	x = A + B
0	0	0
0	1	1
1	0	1
1	1	1

Tabel Kebenaran 3 input

A	B	C	x = A + B + C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Operasi OR

$$x = A + B$$

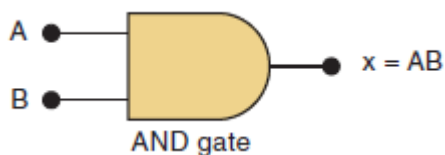
Operasi OR

$$x = A + \bar{B} + C$$

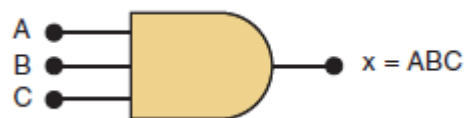
Operasi AND

Operasi AND merupakan operasi logika dimana akan menghasilkan nilai 1 jika semua inputnya bernilai 1. Dalam aljabar Boolean operasi AND dinyatakan sebagai tanda kali (.)

Gerbang Logika AND 2 input



Gerbang Logika AND 3 Input



Tabel Kebenaran 2 Input

AND

A	B	$x = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Operasi OR

$$x = A \cdot B$$

Tabel Kebenaran 3 input

A	B	C	$x = ABC$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Operasi OR

$$x = ABC.$$

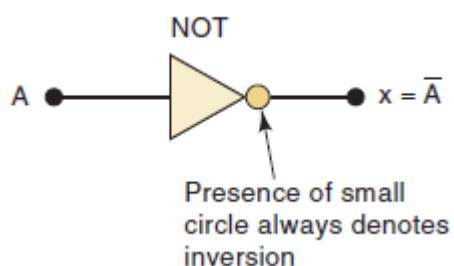
Operasi NOT

Operasi NOT berbeda dengan operasi OR dan AND, karena hanya memiliki 1 input. sebagai

contoh Variabel A dilakukan operasi NOT maka hasil x dinyatakan sebagai $x = \bar{A}$.

Operasi NOT memberikan output dengan nilai kebalikan dari inputnya. Jika inputnya 0, maka outputnya adalah 1, dan jika inputnya adalah 1 maka outputnya adalah 0.

Gerbang NOT



Tabel Kebenaran

NOT

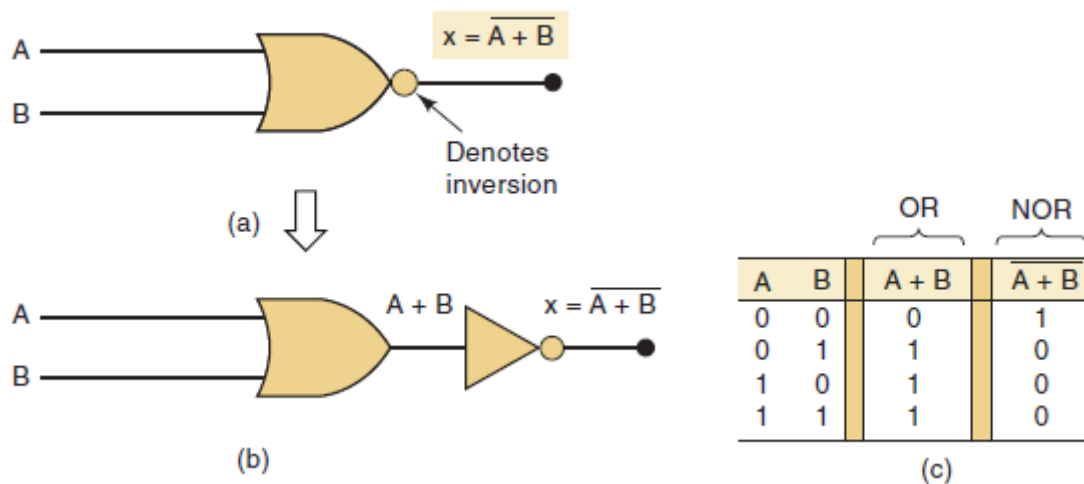
A	$x = \bar{A}$
0	1
1	0

Gerbang logika NAND dan NOR

2 gerbang logika lainnya adalah Gerbang NOR dan gerbang NAND yang merupakan kombinasi dari gerbang dasar AND, OR, dan NOT.

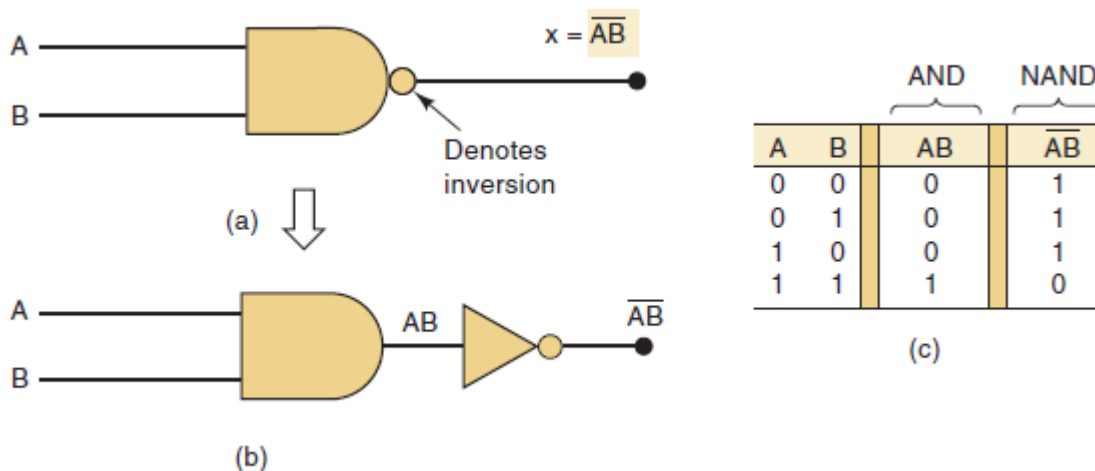
Gerbang NOR

Simbol dari Gerbang NOR mirip dengan symbol dari Gerbang OR dengan tambahan lingkaran kecil pada output. Lingkaran kecil ini menandakan operasi invers. Sehingga Gerbang NOR beroperasi seperti gerbang OR + sebuah inverter (NOT).



Gerbang NAND

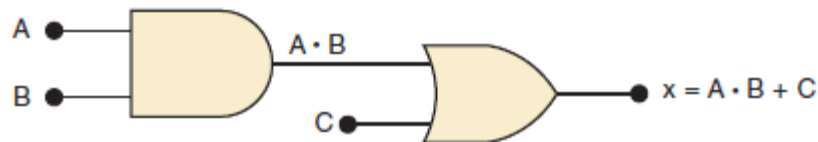
Simbol dari Gerbang NAND mirip dengan symbol dari Gerbang AND dengan tambahan lingkaran kecil pada output. Lingkaran kecil ini menandakan operasi invers. Sehingga Gerbang NAND beroperasi seperti gerbang AND + sebuah inverter (NOT).



RANGKAIAN DIGITAL → Persamaan Aljabar Boolean

Setiap rangkaian digital bagaimana pun kompleksnya, dapat digambarkan menggunakan 3 operasi dasar Boolean karena OR, AND dan NOT merupakan dasar dalam membangun system digital.

Contoh



Rangkaian ini memiliki 3 input A, B dan C dan satu buah output x. menggunakan persamaan Boolean, maka kita dapat dengan mudah membuat persamaan output.

Gambar a.

Gerbang 1 AND, dengan input A dan B → AB

Output Gerbang AND dan input C dihubungkan dengan Gerbang OR → $AB+C$

Analisa Tabel Kebenaran

A	B	C	AB	AB+C
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

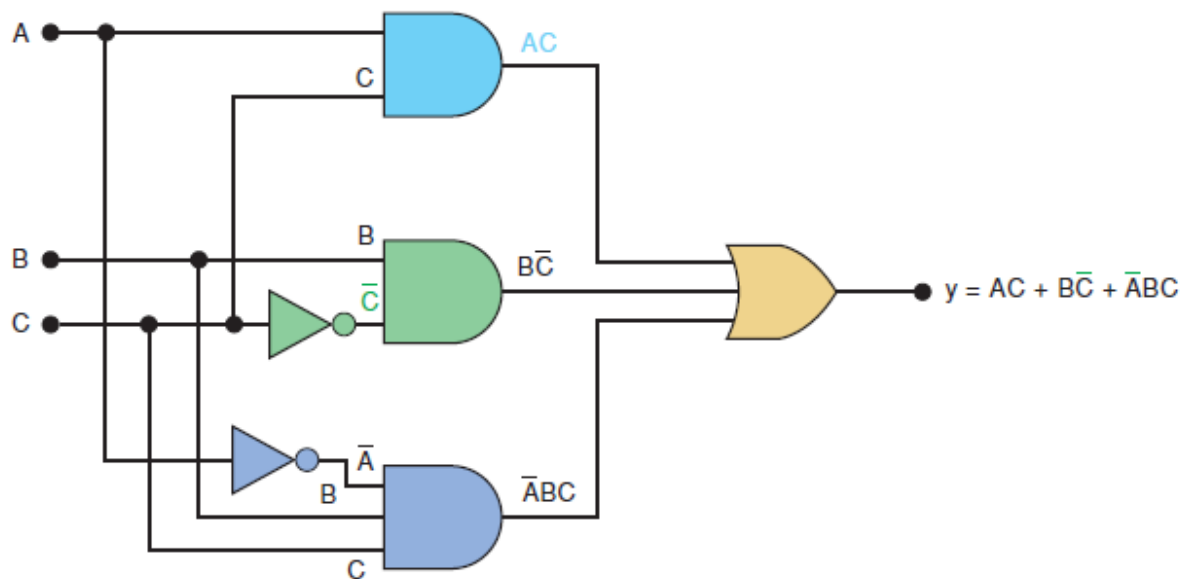
Implementasi Aljabar Boolean → Rangkaian Digital

Ketika operasi dari sebuah rangkaian dinyatakan dalam persamaan Boolean, maka kita dapat membuat rangkaian logikanya secara langsung berdasarkan persamaan tersebut.

Contoh

$$y = AC + B\bar{C} + \bar{A}BC.$$

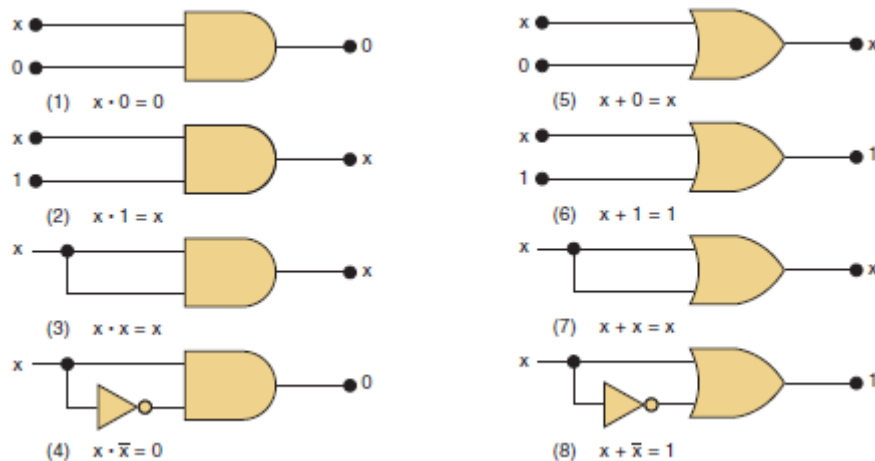
Persamaan Boolean diatas terdiri dari 3 terms yaitu $(AC, B\bar{C}, \bar{A}BC)$ yang di OR kan secara bersama. Persamaan diatas membutuhkan 3 gerbang AND, 2 gerbang NOT dan 1 gerbang OR.



Teorema Boolean

Teorema Boolean berisi aturan aturan yang dapat digunakan untuk menyederhanakan persamaan logika dan rangkaian logika.

Teori 1



Teori ini hanya melibatkan satu variable

1. Jika sebuah variabel di AND kan dengan 0, maka hasilnya adalah 0
2. Jika sebuah variable di AND kan dengan 1, maka hasilnya adalah variable itu sendiri.
3. Dapat diuji dengan kasus berikut
 $X = 0$, maka $0 \cdot 0 = 0$
 $X = 1$, maka $1 \cdot 1 = 1$
4. Jika setiap X di AND kan dengan invers nya maka akan menghasilkan 0
 $X = 0$, maka $0 \cdot 1 = 0$
 $X = 1$, maka $1 \cdot 0 = 0$
5. Jika 0 ditambahkan dengan apapun, maka tidak akan mempengaruhi hasil akhirnya, dan hasilnya akan sama dengan variable itu sendiri, baik dalam operasi biasa atau dalam OR.
6. Setiap variable yang di OR kan dengan 1, maka hasilnya akan selalu 1.
 $X = 0$, maka $0 + 1 = 1$
 $X = 1$, maka $1 + 1 = 1$
7. Dapat diuji dengan memeriksa kedua nilai dari X
 $X = 0$, maka $0 + 0 = 0$
 $X = 1$, maka $1 + 1 = 1$

Daftar Pustaka

Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, Digital Systems Principles and Applications TENTH EDITION, 2007, Pearson Education International