YAYASAN PERGURUAN CIKINI
INSTITUT SAINS DAN TEKNOLOGI NASIONAL
Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640
Telp. 021-7270090 (hunting), Fax 021-7866955, hp: 081291030024
Email: humas@istn.ac.id Website: www.istn.ac.id

SURAT PENUGASAN TENAGA PENDIDIK
Nomor : 107-IV/03.1-F/III/2026
SEMESTER GENAP TAHUN AKADEMIK 2025/2026

Nama	: Ariman, ST, MT	Status Pegawai	: Dosen Tetap
NIK/ NIDN/ NIDK	: 313026703	Program Studi	: S1 Teknik Elektro
Jabatan Akademik	: Lektor		

Bidang	Perincian Kegiatan	Tempat	Jam	Kredit (SKS)	Hari
I. PENDIDIKAN & PENGAJARAN	**1. Pengajaran di kelas termasuk laboratorium**				
	1. Sensor dan Tranducer (B)	S1 Teknik	19:00 s.d 20:40	2	Rabu
	2. Elektronika Medik (B)	S1 Teknik	18:40 s.d 20:00	1	Kamis
	3. Perancangan Sistem Digital (B)	S1 Teknik	19:00 s.d 20:40	3	Senin
	2. Pembimbing				
	1. Seminar			1	
	2. Kerja Praktek				
	3. Tugas Akhir/Tesis			1	
	4. Pembimbing Akademik			1	
	3. Penguji				
	1. Tugas Akhir/Tesis			1	
	2. Kerja Praktek				
	4. Tugas Tambahan				
	1. Menjabat Sebagai Ka. Prodi Teknik Elektronika D3			1	
II. PENELITIAN	1. Penelitian Ilmiah			1	
	2. Penulisan Karya Ilmiah				
	3. Penulisan Diktat Kuliah			1	
	4. Menerjemahkan Buku Kuliah				
	5. Pengembangan Program Kuliah Kurikulum				
	6. Pengembangan Bahan Ajar			1	
III. PENGABDIAN PADA MASYARAKAT	1. Menduduki jabatan di Pemerintahan				
	2. Pengembangan Hasil Pendidikan dan Penelitian				
	3. Memberikan penyuluhan/pelatihan/penataran/ceramah				
	4. Memberikan Pelayanan Kepada Masyarakat			1	
	5. Menulis karya Pengmas yang tidak dipublikasikan				
	6. Pengelolaan Jurnal Ilmiah				
IV. PENUNJANG	1. Menjadi anggota/panitia pada badan/lembaga suatu PT				
	2. Menjadi anggota Badan Lembaga Pemerintah				
	3. Menjadi anggota organisasi profesi				
	4. Mewakili PT/lembaga pemerintah, duduk dalam panitia antar lembaga				
	5. Menjadi anggota delegasi nasional ke pertemuan internasional				
	6. Berperan Serta Aktif dalam pertemuan ilmiah/seminar			1	
	7. Anggota dalam tim layanan pendidikan				
Jumlah Total				16	

Kepada yang bersangkutan akan diberikan gaji/honorarium sesuai dengan peraturan penggajian yang berlaku di Institut Sains dan Teknologi Nasional. Penugasan ini berlaku dari tanggal 09 Maret 2026 sampai dengan 04 Juli 2026

Tembusan :
1. Wakil Rektor 1 - ISTN
2. Wakil Rektor 2 - ISTN
3. Ka. Biro Sumber Daya Manusia - ISTN
4. Arsip

Jakarta, 09 Maret 2026
Dekan FSTT

Dr. Ir. Kun Wardana Abyoto, M.T.
NIDN. 0311086903

BIDANG PENDIDIKAN DAN PENGAJARAN

BERITA ACARA PERKULIAHAN

KULIAH HYBRID

PERIODE SEMESTER GENAP 2025-2026

MATA KULIAH:

Perancangan Sistem Digital Kelas B (2 sks) EL1632

LAMPIRAN BERITA ACAR A PERKULIAHAN :

1. *SK.DEKAN FTI SEMESTER GENAP 2025/2026*
2. *BAP PERKULIAHAN DAN MATERI AJAR*
3. *CONTOH HAND OUT MATERI AJAR*
4. *NILAI KOMULATIF; KEHADIRAN,TUGAS, UTS DAN UAS*

PROGRAM STUDI TEKNIK ELEKTRO FAKULTAS TEKNOLOGI SAINS TERAPAN TEKNOLOGI INSTITUT SAINS DAN TEKNOLOGI NASIONAL JAKARTA

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

JURNAL PERKULIAHAN
TEKNIK ELEKTRO 2025 GENAP

MATA KULIAH : Perancangan Sistem Digital
NAMA DOSEN : Ariman, ST., MT.
KREDIT/SKS : 3 SKS
KELAS : B

TATAP MUKA KE	HARI/TANGGAL	MULAI	SELESAI	RUANG	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
1	Senin, 30 Maret 2026	19:00	20:40	Lab. RL	Selesai	SAP Perancangan Sistem Digital-TE1613	Terlaksana	(3 / 3)	Ariman, ST., MT.	
2	Senin, 6 April 2026	19:00	20:40	Lab. RL	Selesai	Textbook-sistem bilangan	Terlaksana	(3 / 3)	Ariman, ST., MT.	
3	Senin, 13 April 2026	19:00	20:40	Lab. RL	Selesai	Gerbang Logika	Terlaksana	(3 / 3)	Ariman, ST., MT.	
4	Senin, 20 April 2026	19:00	20:40	Lab. RL	Selesai	Aljabar Bolean	Terlaksana	(3 / 3)	Ariman, ST., MT.	
5	Senin, 27 April 2026	19:00	20:40	Lab. RL	Selesai	SOP n POS	Terlaksana	(3 / 3)	Ariman, ST., MT.	
6	Senin, 4 Mei 2026	19:00	20:40	Lab. RL	Selesai	Komponen digital	Terlaksana	(3 / 3)	Ariman, ST., MT.	
7	Senin, 11 Mei 2026	19:00	20:40	Lab. RL	Selesai	Tugas 1,2,3,4	Terlaksana	(3 / 3)	Ariman, ST., MT.	
8	Senin, 18 Mei 2026	19:00	20:40	Lab. RL	Selesai	UTS GENAP Perancangan Sistem Digital 2025 - 2026	Terlaksana UTS GENAP Perancangan Sistem Digital 2025 - 2026	(3 / 3)	Ariman, ST., MT.	

Dicetak oleh: Ariman, ST., MT., pada 08 September 2026 12:15:01 WIB | siakad.istn.ac.id/siakad/rep_perkuliahan

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

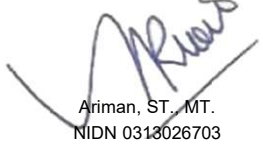
JURNAL PERKULIAHAN
TEKNIK ELEKTRO 2025 GENAP

MATA KULIAH : Perancangan Sistem Digital
NAMA DOSEN : Ariman, ST., MT.
KREDIT/SKS : 3 SKS
KELAS : B

TATAP MUKA KE	HARI/TANGGAL	MULAI	SELESAI	RUANG	STATUS	RENCANA MATERI	REALISASI MATERI	KEHADIRAN MHS	PENGAJAR	TANDA TANGAN
9	Senin, 25 Mei 2026	19:00	20:40	Lab. RL	Selesai	9.Finite State Machine	Terlaksana Finite State Machine	(3 / 3)	Ariman, ST., MT.	
10	Senin, 1 Juni 2026	19:00	20:40	Lab. RL	Selesai	10.Modul_Lengkap_Counter_Pencacah_Perancangan_Sistem_Digital-A	Terlaksana 10.Modul_Lengkap_Counter_Pencacah_Perancangan_Sistem_Digital-A	(3 / 3)	Ariman, ST., MT.	
11	Senin, 8 Juni 2026	19:00	20:40	Lab. RL	Selesai	11.Pengantar HDL	Terlaksana 11.Pengantar HDL perancangan sistem digital	(3 / 3)	Ariman, ST., MT.	
12	Senin, 15 Juni 2026	19:00	20:40	Lab. RL	Selesai	12.Desain Digital Menggunakan HDL (VHDL-Verilog)	Terlaksana 12.Desain Digital Menggunakan HDL (VHDL-Verilog)	(3 / 3)	Ariman, ST., MT.	
13	Senin, 22 Juni 2026	19:00	20:40	Lab. RL	Selesai	13.Simulasi dan Verifikasi Menggunakan ModelSim dan Proteus	Terlaksana 13.Simulasi dan Verifikasi Menggunakan ModelSim dan Proteus	(3 / 3)	Ariman, ST., MT.	
14	Senin, 29 Juni 2026	19:00	20:40	Lab. RL	Selesai	14.Implementasi FPGA dan Mikrokontroler	Terlaksana 14.Implementasi FPGA dan Mikrokontroler	(3 / 3)	Ariman, ST., MT.	
15	Senin, 13 Juli 2026	19:00	20:40	Lab. RL	Selesai	15.Project Perancangan Sistem Digital - S1	Terlaksana 15.Project Perancangan Sistem Digital - S1	(3 / 3)	Ariman, ST., MT.	
16	Senin, 20 Juli 2026	19:00	20:40	Lab. RL	Selesai	UAS GENAP Perancangan Sistem Digital 2025 - 2026	Terlaksana UAS GENAP Perancangan Sistem Digital 2025 - 2026	(3 / 3)	Ariman, ST., MT.	

Dicetak oleh: Ariman, ST., MT., pada 08 September 2026 12:15:01 WIB | siakad.istn.ac.id/siakad/rep_perkuliahan

Jakarta, 08 September 2026
Ketua Prodi Teknik Elektro



Ariman, ST., MT.
NIDN 0313026703

Counter (Pencacah)

Counter (Pencacah) adalah rangkaian digital sekuensial yang berfungsi untuk **menghitung jumlah pulsa (clock pulse)** yang masuk. Setiap kali menerima satu pulsa clock, nilai keluaran counter akan berubah mengikuti urutan bilangan biner tertentu. Counter merupakan salah satu komponen penting dalam sistem digital, mikrokontroler, FPGA, dan perangkat elektronika lainnya.

1. Definisi Counter

Counter adalah rangkaian logika sekuensial yang tersusun dari beberapa **flip-flop** yang dihubungkan sedemikian rupa sehingga mampu menghitung jumlah pulsa masukan secara otomatis.

Secara sederhana:

Clock → Counter → Nilai hitungan bertambah atau berkurang

Misalnya counter 4-bit

Pulsa Clock	Output (Q3 Q2 Q1 Q0)	Desimal
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
...	...	...
15	1111	15
16	0000	0 (ulang)

2. Fungsi Counter

Counter digunakan untuk:

- Menghitung jumlah objek
- Menghitung waktu
- Pembagi frekuensi
- Timer
- Jam digital
- Pengendali urutan proses
- Pengendali lampu lalu lintas

- Elevator
- Robot
- Mesin otomatis
- Sistem parkir
- Mesin produksi industri

3. Analogi Counter

Bayangkan seseorang menghitung orang yang masuk ruangan.

Orang pertama → 1

Orang kedua → 2

Orang ketiga → 3

...

Counter bekerja persis seperti orang tersebut, tetapi yang dihitung adalah **pulsa pewaktuan (clock pulse).**

4. Komponen Penyusun Counter

Counter tersusun dari:

- Flip-Flop JK
- Flip-Flop D
- Flip-Flop T
- Flip-Flop SR

Ditambah:

- Clock
- Reset
- Preset
- Gerbang logika (AND, OR, NAND)

5. Jenis-Jenis Counter

A. Berdasarkan Arah Hitungan

a. Up Counter

Menghitung naik

0 → 1 → 2 → 3 → 4

Contoh:

0000
↓
0001
↓
0010
↓
0011
↓
0100

b. Down Counter

Menghitung turun

15 → 14 → 13 → ...

1111
↓
1110
↓
1101
↓
1100

c. Up-Down Counter

Dapat menghitung naik maupun turun.

Biasanya terdapat pin kontrol:

UP = naik

DOWN = turun

B. Berdasarkan Cara Kerja Clock

a. Asynchronous Counter (Ripple Counter)

Clock hanya diberikan ke flip-flop pertama.

Flip-flop berikutnya dipicu oleh output flip-flop sebelumnya.

Contoh

Clock
|
FF0
|
FF1
|
FF2
|
FF3

Kelebihan

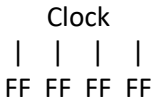
- Sederhana
- Murah
- Sedikit komponen

Kekurangan

- Lambat
- Terjadi Ripple Delay

b. Synchronous Counter

Semua flip-flop menerima clock secara bersamaan.



Kelebihan

- Sangat cepat
- Akurat
- Cocok untuk sistem modern

Kekurangan

- Rangkaian lebih rumit

6. Counter Berdasarkan Modulus

Modulus adalah jumlah keadaan (state) yang dapat dihitung sebelum kembali ke awal.

Menggunakan 1 Flip-Flop

Mod-2
0
1
0
1
...

Menggunakan 2 Flip-Flop

Mod-4
00
01
10
11
00

Menggunakan 3 Flip-Flop

Mod-8

000
001
010
011
100
101
110
111

Mod-10 (Decade Counter)

Menghitung

0
1
2
3
4
5
6
7
8
9

Kembali ke 0

Banyak digunakan pada jam digital.

Mod-16

Menggunakan 4 Flip-Flop

Menghitung

0 sampai 15

7. Rumus Jumlah Flip-Flop

Jumlah flip-flop ditentukan oleh:

[$2^n \geq N$]

Keterangan:

- (n) = jumlah flip-flop
- (N) = modulus counter

Contoh

Mod-10

[2^3 = 8]

Tidak cukup

[2^4 = 16]

Maka diperlukan **4 Flip-Flop**.

8. Timing Diagram Counter

Misal Up Counter 3-bit

Clock

_|¯|_|¯|_|¯|_|¯|

Q0

_|¯|_|¯|_|¯|_|¯|

Q1

__|¯¯|__|¯¯|

Q2

____|¯¯¯¯|

Terlihat bahwa:

Q0 berubah setiap clock.

Q1 berubah setiap dua clock.

Q2 berubah setiap empat clock.

9. Aplikasi Counter

Counter banyak digunakan dalam berbagai sistem digital, antara lain:

Aplikasi	**Fungsi Counter**
Jam digital	Menghitung detik, menit, jam
Stopwatch	Menghitung waktu
Elevator	Menghitung posisi lantai
Mesin produksi	Menghitung jumlah produk
Sistem parkir	Menghitung kendaraan masuk dan keluar
Traffic light	Mengatur pergantian lampu

Aplikasi	Fungsi Counter
Robot	Menghitung langkah motor
CNC	Menghitung posisi
Encoder	Menghitung putaran
Frequency meter	Mengukur frekuensi
PLC	Pengendali urutan proses
FPGA	Pengaturan urutan logika

10. Contoh Soal

Soal 1

Berapa jumlah flip-flop yang diperlukan untuk membuat counter Mod-32?

Jawaban

Gunakan rumus:

[2^n $\geq$ 32]

[2^5 = 32]

Jadi diperlukan **5 flip-flop**.

Soal 2

Counter 4-bit dapat menghitung sampai berapa?

Jawaban

[2^4 = 16]

Sehingga menghitung:

0–15 (16 keadaan).

Soal 3

Apa perbedaan utama synchronous counter dan asynchronous counter?

Jawaban

- **Asynchronous Counter**: hanya flip-flop pertama menerima clock langsung; flip-flop berikutnya dipicu oleh keluaran sebelumnya sehingga muncul *ripple delay*.
- **Synchronous Counter**: semua flip-flop menerima clock secara bersamaan sehingga bekerja lebih cepat dan lebih akurat.

Soal 4

Mengapa counter sering digunakan sebagai pembagi frekuensi?

Jawaban

Karena setiap flip-flop membagi frekuensi clock menjadi dua. Sebagai contoh:

- Q0 = frekuensi ÷2
- Q1 = frekuensi ÷4
- Q2 = frekuensi ÷8
- Q3 = frekuensi ÷16

Ringkasan

Counter merupakan rangkaian logika sekuensial yang berfungsi menghitung pulsa clock secara otomatis. Counter dibangun menggunakan flip-flop dan tersedia dalam berbagai jenis, seperti **up counter**, **down counter**, **up-down counter**, **asynchronous counter**, dan **synchronous counter**. Komponen ini memiliki peran penting dalam sistem digital modern, seperti jam digital, timer, pencacah objek, pembagi frekuensi, sistem kendali industri, mikrokontroler, dan FPGA.

Dalam pembelajaran **Perancangan Sistem Digital**, pemahaman konsep counter menjadi dasar untuk merancang sistem yang mampu melakukan penghitungan, pengaturan urutan operasi, dan sinkronisasi proses digital secara efisien.

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

LAPORAN PERSENTASE PRESENSI MAHASISWA
TEKNIK ELEKTRO
2025 GENAP

Mata kuliah : Perancangan Sistem Digital
Nama Kelas : B
Dosen Pengajar : Ariman, ST., MT.

No	NIM	Nama	Kelas / Kelompok	Pertemuan	Alfa	Hadir	Ijin	Sakit	Persentase
Peserta Reguler									
1	23224002	PAJAR DEWANTORO	-	16		16			100
2	253622004	MUHAMMAD RAMADHANI	-	16		16			100
3	255622004	FAJAR INDRA MAULANA	-	16		16			100

Jakarta, 08 September 2026
Ketua Prodi Teknik Elektro

Ariman, ST., MT.
NIP. 199004-001

Dicetak oleh: Ariman, ST., MT., pada 08 September 2026 12:33:18 WIB | siakad.istn.ac.id/siakad/rep_prosentaseabs

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moch. Kahfi II No.RT.13, RT.13/RW.9, Srengseng Sawah, Kec. Jagakarsa, Kota Jakarta Selatan, DKI Jakarta
Website : www.istn.ac.id / e-Mail : admin@istn.ac.id / Telepon : (021) 7270090

LAPORAN NILAI PERKULIAHAN MAHASISWA
Program Studi S1 Teknik Elektro
Periode 2025 Genap

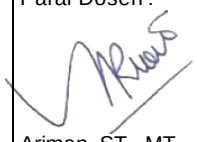
Mata kuliah : Perancangan Sistem Digital
Nama Kelas : B
Kelas / Kelompok :
SKS : 3
Kode Mata kuliah : TE1613

No	NIM	Nama Mahasiswa	TUGAS INDIVIDU (20,00%)	UTS (30,00%)	UAS (40,00%)	KEHADIRAN (10,00%)	Nilai	Grade	Lulus	Sunting KRS?	Info
1	23224002	PAJAR DEWANTORO	70.00	84.00	85.00	100.00	83.20	A	✓		
2	253622004	MUHAMMAD RAMADHANI	70.00	86.00	85.00	100.00	83.80	A	✓		
3	255622004	FAJAR INDRA MAULANA	70.00	100.00	85.00	100.00	88.00	A	✓		
Rata-rata nilai kelas			**70.00**	**90.00**	**85.00**	**100.00**	**85.00**	**A**			

Pengisian nilai untuk kelas ini ditutup pada **Kamis, 6 Agustus 2026** oleh **199004-001**

Tanggal Cetak : Selasa, 8 September 2026, 12:33:53

Paraf Dosen :



Ariman, ST., MT.