

BUKU PETUNJUK  
PRAKTIKIUM TEKNIK DIGITAL



INSTITUT SAIN DAN TEKNOLOGI NASIONAL  
JAKARTA

# PRAKATA

Buku petunjuk ini disusun guna memenuhi kebutuhan praktikum untuk menuntun melakukan percobaan-percobaan yang ada dalam Praktikum Teknik Digital .

Seperti diketahui bahwa Laboratorium merupakan tempat pengujian praktis yang amat diperlukan guna menunjang materi teori yang didapai pada perkuliahan.

Alhamdulillah, puji syukur pada Tuhan Yang maha esa dengan ijin ya maka buku ini dapat disusun.

Tak lupa kami sampaikan ucapan terima kasih kepada seiuruh pihak

yang telah membantu tersusunnya buku petunjuk ini terutama kepada pimpinan staf jurusan ' dan rekan—rekan dosen.

Jakarta

Harlan Effendi ST.MT

# DAFTAR ISI

A. PRAKATA

B. Daftar isi

C. TATA TERTIB PRAKTIKUM

D. PERCOBAAN PERCOBAAN

DL-1 BISTABLE ATAU FLIP-FLOP.....	1
DL-2 PENCACAH BINERY COUNTER DAN SISTIM RANGKAIAN BINER.....	21
DL-3 SHIF REGISTER DANRING COUTER.....	33
DL-4 INTEGRATED CIRCUIT TIMER DENGAN 74122,74121 DAN 555.....	51

**TATA TERTIB PRAKTIKUM LABORATORIUM  
DIGITAL LANJUT FTI  
INSTITUT SAINS DAN TEKNOLOGI NASIONAL**

---

**I . KETETUAN TUGAS PENDAHULUAN,**

1. Harus dibuat perorangan.
2. Mencantumkan : Nama, Nomor pokok, Nomor percobaan, Nomor kelompok, dan partner Praktikum.
3. Jawaban Tugas TIDAK boleh fotocopy.
4. Jawaban tugas pendahuluan selengkap mungkin.

**II. KETENTUAN MENGIKUTI PRAKTIKUM.**

1. Praktikan harus hadir 10 menit sebelum praktikum dimulai.
2. Menyerahkan Tugas Pendahuluan.
3. Menyerahkan Kartu Tanda Praktikum yang sudah ditempel photo.
4. Mematuhi petunjuk Asisten yang membimbing.
5. Praktikan tidak diperkenankan meninggalkan ruang praktikum tanpa seizin Asisten pembimbing.
6. Praktikan harus menjaga ketenangan, ketertiban dan kebersihan didalam ruangan praktikum.
7. Setelah praktikum selesai praktikan harus :
  - a. Menyerahkan satu blangko pengamatan yang sudah diisi dengan data-data hasil pengamatan kepada Asisten pembimbingnya.
  - b. Merapikan kembali semua peralatan yang dipakai.

**III. KETENTUAN-KETENTUAN LAIN.**

1. Praktikan DILARANG memakai Kaos oblong, Sandal, Topi, Jacket dan Merokok waktu praktikum.
2. Praktikan harus menjaga keutuhan dan keselamatan peralatan dalam Laboratorium Digital lanjut.
3. Peralatan yang rusak atau hilang oleh praktikan harus diganti dengan alat yang baru oleh kelompok praktikan tersebut.
4. Praktikan yang berhalangan memenuhi jadwal yang sudah ditentukan, agar melapor kepada Asisten Laboratorium sebelum waktu pada jadwal tersebut, dilengkapi dengan keterangan yang dapat dipertanggung jawabkan.
5. Hal-hal yang belum diatur dalam tata tertib Laboratorium ini akan ditentukan kemudian, sejauh tidak menyimpang dari peraturan yang sudah ada.

#### IV. KETENTUAN TUGAS LAPORAN.

1. Harus dibuat perorangan.
2. Idem butir 1.2 ( ditambah dengan mencantumkan Tanggal percobaan dan Asisten Pembimbing ).
3. Isi Laporan mencakupi :  
Makna dan tujuan percobaan, Teori singkat, Peralatan yang digunakan, Prosedur percobaan serta Jawaban tugas laporan.
4. Laporan dikumpulkan 2 minggu setelah praktikum selesai.
5. Laporan harus diketik dan dibukukan untuk setiap percobaan, bukan berupa fotocopy dan tindasan.

#### V. SANGSI-SANGSI.

Pelanggaran tata tertib ini dikenakan :

- Tegoran.
- Penundaan Praktikum.
- Dicabut Haknya sebagai Praktikan dalam tahun Akademik yang bersangkutan ( Gagal ).
- Gagal untuk Nomor percobaan yang dilakukan.

Demikian Tata Tertib ini dibuat untuk dilaksanakan sebaik-baiknya.

Jakarta, 10 Desember 1970

Lab.Dig.Lanjut FTI ISTN.

# P E R C O B A A N 1.

## BISTABLE atau FLIP-FLOP (FF).

### I . Tujuan :

Mempelajari karakteristik dan operasi berbagai macam tipe bistable.

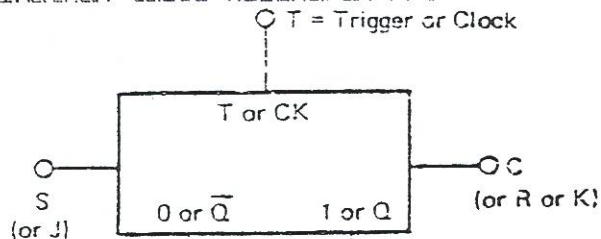
### II. Teori :

Bistable : tipe dan definisinya.

Flip-flop (FF), bistable atau binary adalah suatu rangkaian dengan dua stable state (hanya dua). didalam stable state pertama, sinyal berganti ganti dengan stable state kedua, pada stable state kedua akan terjadi pemindahan sinyal. Dengan cara yang sama, kedua sinyal dapat berganti dari rangkaian stable state kedua kedalam stable state pertama. Simbol FF bentuk standarnya digambarkan dalam gambar 1. keadaan ini sangat mudah untuk menandakan keluaran- keluarannya sebagai Q dan  $\bar{Q}$  yang mempunyai logika "1" dan "0". Pada table 1 memperlihatkan table kebenaran FF.

Table 1 :

State	Q	$\bar{Q}$
A	0	1
B	1	0



Gambar 1. Flip-flop (FF).

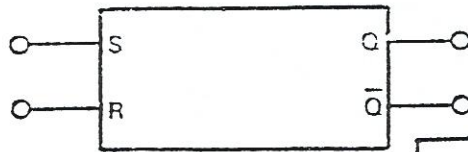
Pada metode bistable transistor, kedua transistor ini di-Copel DC. Sehingga transistor pertama sebagai penghantar selama transistor kedua dibias reverse dan tidak menghantarkan arus. kondisi rangkaian diluar dan komponen-komponenya tidak konduksi dengan transistor lain (sering terjadi jenuh). Kondisi rangkaian dan komponen-komponen disusun agar menjaga transistor yang kedua bekerja pada daerah cut-off. Transistor ini inderetik dengan yang dimaksud pada gambar 1. Susunanya simetris menjaga agar salah satu transistor dalam keadaan on atau off. Sinyal yang dikehendaki untuk keadaan yang satu dengan keadaan yang lainnya adalah bergantian. Untuk mengerjakannya dengan menggunakan signal transistor yang satunya dalam keadaan on dengan demikian transistor yang satunya tidak menghantar. Proses\*ini dikarenakan DC-coupling, dengan cara serempak cenderung untuk membawa non-kondukt ke kondukt. Keadaan tak stabil dapat dengan cepat dicapai Ketika kedua transistor secara serempak kondukt.

IC flip-flop adalah modifikasi dari transistor FF, dan pintu atau gerbangnya seperti pada transistor-transistor sebelumnya. Beberapa tipe dari FF mempunyai bentuk yang

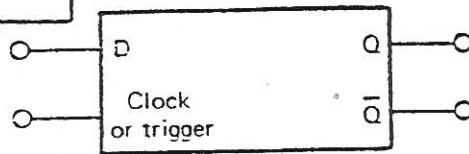
berbeda. Tipe dasar pada IC yang digunakan, penjelasannya adalah :

\* R-S atau SET & RESET FF

Menandakan bistable dengan inputan SET & RESET yang mempunyai batasan input yang tak serempak (simultan), sebab keadaan yang dihasilkan dari bistable tak tentu. Gambar 2, menunjukkan simbol logic R-S flip-flop tanpa clock. CLEAR sering disebut RESET. Bilamana FF dibuat 2 NAND/OR gate, maka FF ini sering disebut LATCH.



Gambar 2. R-S flip-flop



Gambar 3. D flip-flop

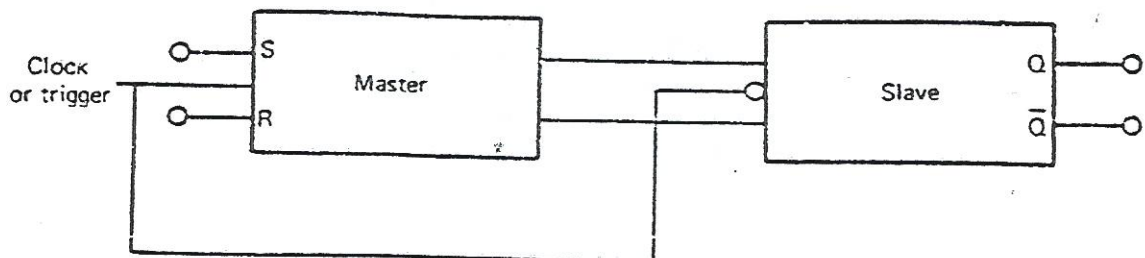
RS-FF apabila gate-gatena diberikan dengan ketentuan logic, maka informasi tersebut dapat ditransfer kedalam FF, bilamana gatena adalah enable. Sinyal CLOCK, STROBE & SYNCHRONOUS sering diberikan melalui GATE. Gambar1 adalah simbol logic dari RS-FF tanpa clock.

\* D atau Data FF.

Adalah sebuah binary yang mempunyai sebuah data input dan sebuah clock yang disimbolkan dan diperlihatkan pada gambar 3.

\* Master slave FF

Terdiri dari 2 DC-couple, yaitu gate FF. Informasi (input) ditransfer kebagian master yang kemudian dari master ditransfer kembali kebagian slave selama satu clock pulsa. Informasi dapat masuk kedalam Master Slave apabila clock = 1.



Gambar 4. Master Slave FF

Pada gambar 4, memperlihatkan block diagram untuk RS master-

slave FF. Apabila clock = 0, maka informasi tak akan masuk kedalam master-slave.

\* T atau Toggle FF

Keadaanya berubah-ubah sesudah adanya trigger atau pulsa clock serta tabel kebenarannya diperlihatkan pada tabel 2a dan table 2b, dan simbol toggle FF dapat diperlihatkan pada gambar 5.

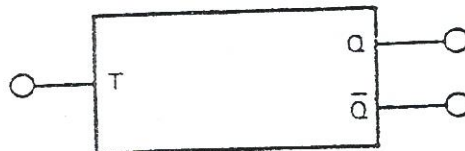
Table 2a. Toggle State.

Before Trigger, $t_n$		After Trigger, $t_{n+1}$	
Q	$\bar{Q}$	Q	$\bar{Q}$
1	0	0	1
0	1	1	0

Table 2b. Toggle state.

$t_n$	Q
$t_{n+1}$	$\bar{Q}$

Gambar 5. T atau Toggle FF.



Pada tabel 2b, menunjukkan sebelum adanya pulsa trigger pada  $T_n$ , bistable didefinisikan sebagai Q, dan setelah pulsa trigger tambah satu ( $t_n + 1$ ), bistable setelah toggle dalam keadaan  $\bar{Q}$ . T-FF sering terhubung silang masukan dan keluaran dari MS-FF, hal itu adalah hubungan S ke  $\bar{Q}$  dan R ke Q.

\* J-K Flip-flop.

Adalah sebuah kombinasi dari RS-FF. FF ini mempunyai 2 masukan J dan K, kesamaan dari R dan S masukan. Masukan RS-FF bekerja membuat masukan JK-FF toggle. Table kebenarannya diperlihatkan pada tabel 3. Nilai  $\bar{Q}$  adalah kebalikan dari Q yang merupakan keluaran dari suatu FF.



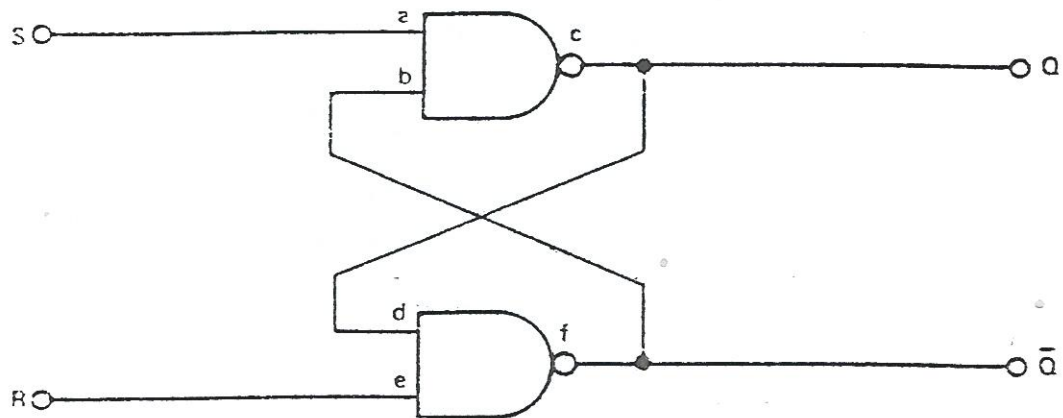
Table 3. JK-State.

$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\bar{Q}_n$

Beberapa tipe dasar rangkaian FF, adalah sbb:

1. R-S Flip-Flop

Analisa gambar 6. adalah pada kondisi set apabila  $Q = 1$  &  $\bar{Q} = 0$ , dan pada kondisi reset apabila  $Q = 0$  &  $\bar{Q} = 1$ . FF dianggap dalam kondisi set dan  $S = R = 1$ ; ini membuat  $a = 1$ ,  $b = 0$ ,  $d = 1$  dan  $e = 1$ . Masukan masukan ini membuat keluaran  $c = 1$  dan  $f = 0$ . Ini adalah kondisi yang stabil dan tidak berubah. Sekarang buatlah  $S = 0$  &  $R = 1$ , ini membuat kedua masukan  $a$  dan  $b = 0$ , juga  $c$  pada kondisi 1. Masukan  $d$  dan  $e = 1$  juga  $f = 0$ . Keadaan ini jangan berubah.  $S = 0$  &  $R = 1$ , kondisi masukan FF set. Sekarang buat lagi  $S = 1$  &  $R = 0$ . dengan  $R = 0$ , input  $e$  cocokkan dan keluaran  $f$  ke  $a = 1$ .  $a$  dan  $b = 1$ . Buat  $c = 0$ , karena itu  $S = 1$  &  $R = 0$  buat  $Q = 0$ ,  $\bar{Q} = 1$  dan ini adalah reset FF. Jika kedua  $S$  dan  $R = 0$ ,  $Q$  dan  $\bar{Q} = 1$ , yang mana tidak diperbolehkan. Tabel kebenarannya diperlihatkan pada tabel 4.



Gambar 6. NAND gate R-S flip-flop.

Tabel 4, R-S Flip-flop.

$S$	$R$	$Q$	$\bar{Q}$
1	1	No change	
0	1	1	0
1	0	0	1
0	0	Not allowed	

Sebuah IC NOR gate FF dapat dibuat sama. Dalam IC NOR gate,  $S=R=1$  tidak diperbolehkan, dan  $S=R=0$  stabil, kondisi operasinya tidak berubah.

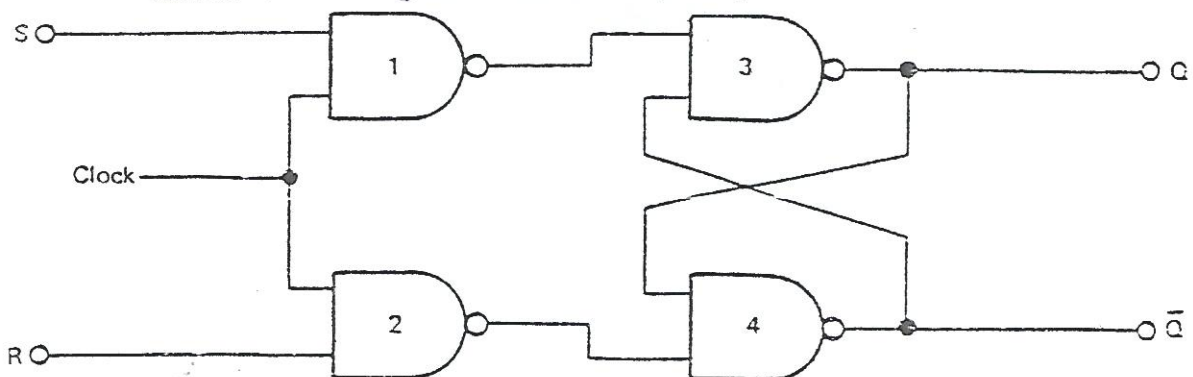
## 2. Clocked Flip-flop

Pada gambar 7, gerbang 3 dan 4 adalah bentuk gelombang sebuah latch yang simple. Informasi menuju gerbang 1 dan 2. Jika clock rendah, keluaran gerbang 1 & 2 tinggi. Latch tetap didalamnya sebelum keadaan tak ada persoalan apakah adanya level S dan R. Seandainya clock high. Jika  $S=1$  &  $R=0$ , keluaran gerbang 1 adalah 0 dan gerbang 2 adalah 1. Ini membuat keluaran gerbang 3=1 dan gerbang 4=0. Tabel 5, memperlihatkan tabel kebenaran dari NAND gate clocked flip-flop.

Tabel 5. NAND gate clocked.

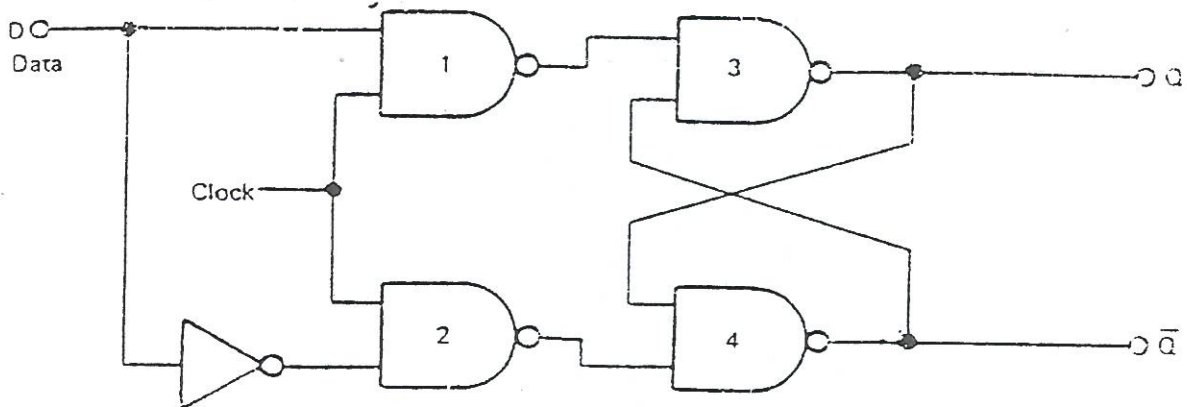
$Clock$	$S$	$R$	$Q$	$\bar{Q}$
1	1	0	1	0
1	0	1	0	1
0	0	1	Does not change Stores last data	
0	1	0	Does not change Stores last data	

Gambar 7. NAND gate clocked flip-flop.



### 3. D atau Data Flip-Flop.

D atau data FF ditunjukkan pada gambar 8, adalah modifikasi dari clock FF. Data yang ada pada terminal D adalah 1 atau 0. Setelah clock berlangsung disimpan dan yang ada pada Q dan  $\bar{Q}$ .

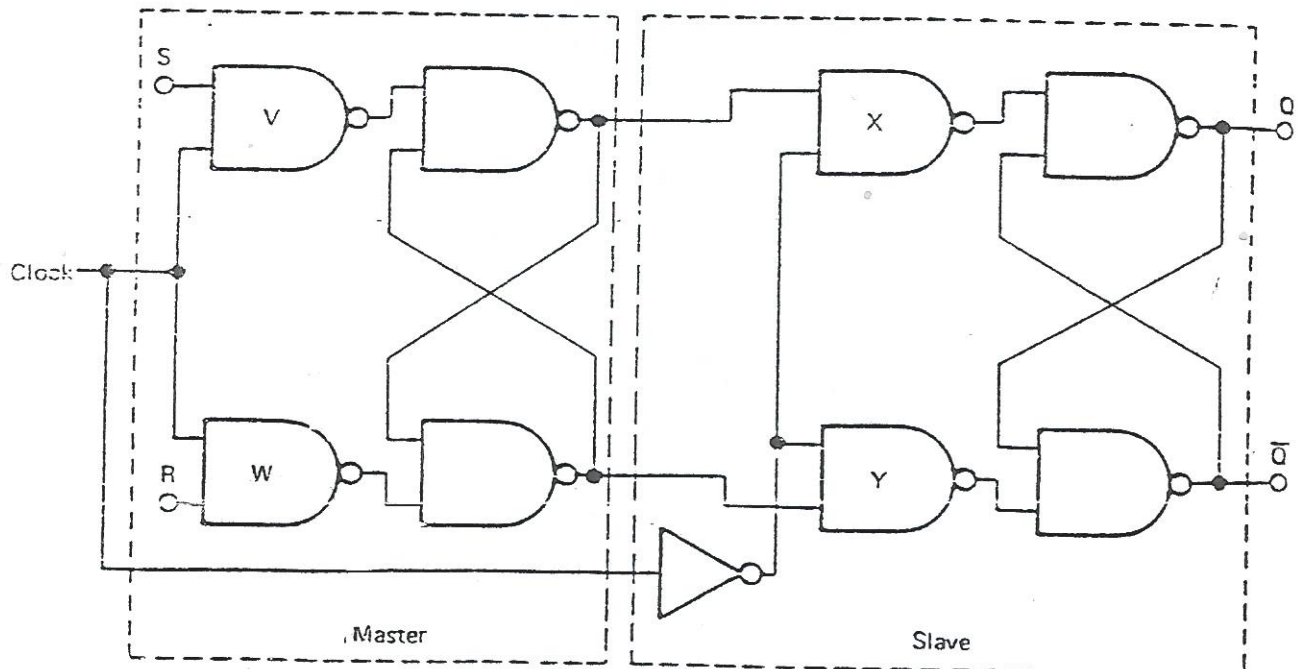


Gambar 8. D (data) flip-flop.

### 4. Master Slave Clocked Flip-Flop (MS-FF).

MS-FF diperlihatkan pada gambar 9, yang berisikan 2 clock FF. Ketika clock berlogic "1", gate V dan W terjadi Enable dan informasi dapat ditransfer dari S & R yang kemudian dikeluarkan melalui output master. Kemudian clock input akan mendapat invert (berlogic "0") kegerbang X & Y, yang akan menimbulkan terjadinya pemblokiran informasi pada output master dari slave. Bilamana clock adalah "0", maka clock input pada gerbang X & Y akan menjadi logic "1" dan informasi dari output master dapat ditrasfer ke slave. Tabel kebenarannya dapat diperlihatkan pada tabel 6.

Gambar 9. NAND gate MS-FF.



Tabel 6, Master Slave Flip-Flop.

S	R	Q	$\bar{Q}$
1	0	1	0
0	1	0	1

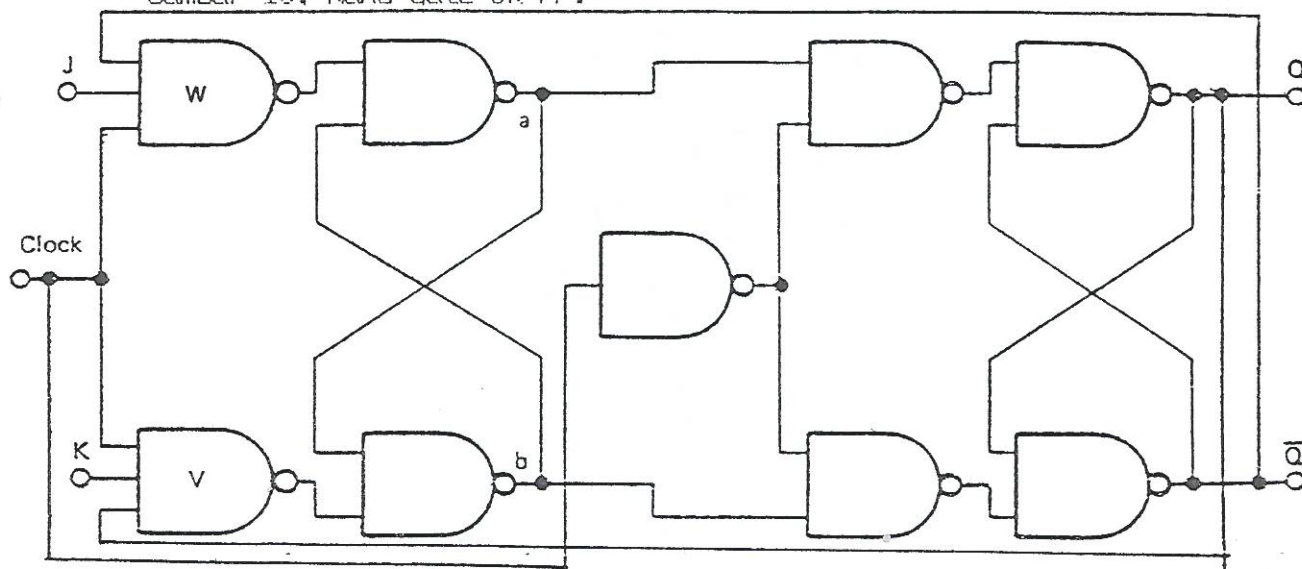
5. Toggle Flip-Flop dari Master Slave Flip-Flop.

Silangkan antara hubungan S ke  $\bar{Q}$  dan R ke Q. Dengan menganggap clock diambil pada logic "0", maka didapatkan Q = "1" &  $\bar{Q}$  = "0". Hubungan silang dengan membuat S = "0" dan R = "1", hal ini terjadi tidak pada clock rendah. Pada tabel kebenaran terdahulu jika S = "0" dan R = "1" maka keluaran harus Q = 0 dan  $\bar{Q}$  = 1, Setelah clock 1 dan kembali ke 0. Tetapi keadaan FF akan berubah yang mana adalah toggle, yang disebabkan setiap pulsa clock.

6. JK Flip-Flop.

JK FF pada gambar 10 adalah modifikasi dari toggle. Masukan gerbang V dan W adalah dimodifikasi menjadi 3 masukan. Penambahan masukan diambil dari masukan JK.

Gambar 10. Nand gate JK-FF.



Jika J dan K keduanya 1, operasi FF sebagai FF toggle, seperti yang telah dijelaskan. Jika  $\bar{Q}$  = "1" dan Q = "0" pada saat clock "1", ketiga inputan gerbang W dan V mengakibatkan keluaran W = "0" dan V = "1". Hal ini membuat keluaran induk (master) pada titik a = "1" dan b = "0". Pada saat clock = "0", informasi pada a dan b ditrasfer ke slave, membuat output Q = "1" dan  $\bar{Q}$  = "0". Kejadian ini ditentukan dengan J = "1" & K = "0". Seandainya apabila Q = "1" dan  $\bar{Q}$  = "0" untuk a = "1" dan b = "0", pada saat clock "1" apa yang terjadi pada gerbang W dan V ? Gerbang W ; clock = "1", J = "1", maka  $\bar{Q}$  = "0". Gerbang V ; clock = "1", J = "0", maka  $\bar{Q}$  = "1". Untuk itu keluaran pada

gerbang W dan V = "1" dan master latch tidak berubah, dan juga Q = "1" dan  $\bar{Q}$  = "0". Tabel kebenaran JK-FF diperlihatkan pada tabel 7.

Tabel 7, JK NAND gate FF.

$t_n$ Before Clock Pulse		$t_{n+1}$ After Clock Pulse		
J	K	Q	$\bar{Q}$	
1	0	1	0	
0	1	0	1	
1	1	$\bar{Q}$	Q	Toggle
0	0	Q	$\bar{Q}$	No change

### III. Alat-alat yang diperlukan.

- . Catu daya, +5 V pada 50 mA.
- . CRO, dc coupled dan kalibrasi.
- . 2 saklar banks, 5 saklar perbanks
- . IC tipe 7400 quad 2 masukan NAND.
- . IC tipe 7402 quad 2 masukan NOR.
- . IC tipe 7472 AND gate JK-FF.
- . SWG, +5 V pada 10 kHz atau pulsa single 50 mS.

#### IC manufacturers part numbers.

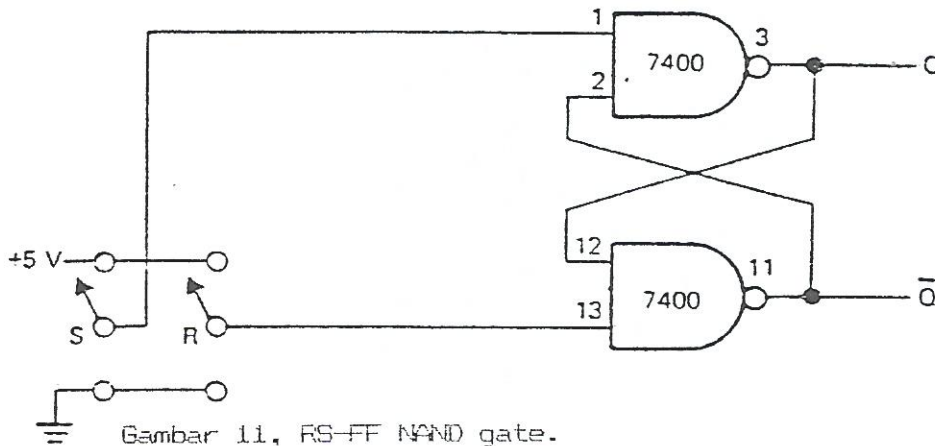
Type	Motorola	Fairchild	Texas Instruments	National Semiconductor
7400	MC7400P MC7400L	7400PC 7400DC	SN7400N SN7400J	DM7400N
7402	MC7402P MC7402L	7402PC 7402DC	SN7402N SN7402J	DM7402N
7472	MC7472P MC7472L	7472PC 7472DC	SN7472N SN7472J	DM7472N

### IV. Jalannya percobaan.

Untuk semua IC dalam percobaan ini, pin 14 diberikan Vcc = +5 V dan pin 7 diberikan 0 V (ground). Tiap-tiap percobaan untuk mengukur tegangannya dapat digunakan CRO pada titik-titik yang ditunjukkan dan disertai tabel yang

telah ditentukan secara lengkap. Amplifier CRO vertikal dipakai untuk tegangan dc coupled dengan memberikan penguatan CRO pada 1 Volt/div, yang digunakan untuk mengukur semua tegangan. Semua pengukuran tegangan, semua data diambil baris demi baris. Tiap-tiap percobaan pengukurannya dapat dilakukan dengan 2 keluaran yaitu Q dan  $\bar{Q}$  dari semua FF. Jika CRO mempunyai dual-trace/dual-beam, maka pengukuran dapat dilakukan dengan 2 titik sekaligus yakni Q dan  $\bar{Q}$ . Jika CRO dengan menggunakan single-trace saja, maka pengukurannya dapat dilakukan secara bertahap yaitu pada tahap pertama untuk Q dan tahap kedua untuk  $\bar{Q}$ , akan tetapi untuk melihat beroperasinya suatu FF pada titik Q dan  $\bar{Q}$  tidak dapat dilihat pada waktu yang bersamaan. Semua pengukuran Q/Q dihubungkan pada input terminal CRO atau dengan indikator lainnya.

1. RS-FF dengan gerbang NAND.

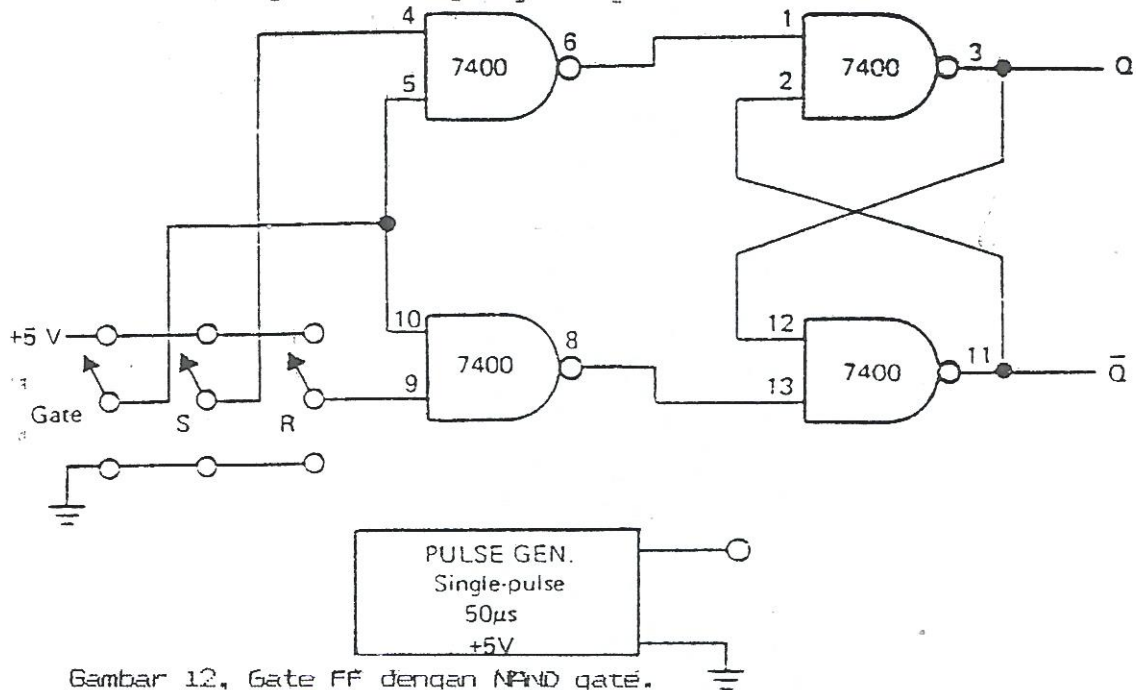


Tabel 1E, NAND gate RS-FF.

	S	R	Q	$\bar{Q}$
1	+5	0		
2	+5	+5		
3	0	+5		
4	+5	+5		
5	0	0		
6 <sup>a</sup>	+5	+5		
7	0	0		
8 <sup>b</sup>	+5	+5		

2. RS-FF gerbang NAND gate dengan clock.

a. Gerbang RS-FF dengan gerbang NAND.



Gambar 12, Gate FF dengan NAND gate.

Tabel 2E. Gate dengan NAND gate.

	Gate	S	R	Q	$\bar{Q}$
1	+5	0	+5		
2	+5	+5	0		
3	+5	0	+5		
4	+5	5	0		
5	0	0	0		
6	0	0	+5		
7	0	0	0		
8	0	+5	+5		
9	0	0	+5		

Catatan : gate dapat digunakan dengan :

- . pulsa generator (clock).
- . trigger.

b. Pada gambar 12, lepaskan pin 5 dan pin 10 dari gerbang saklar dan hubungkan pin 5 dan 10 kegenerator pulsa single. Set saklar S-R, kemudian bacalah nilai Q dan  $\bar{Q}$ . kemudian pergunakan pulsa single dan ulangi pembacaan nilai Q dan  $\bar{Q}$ . Catatan: data sebelum pulsa single untuk masing-masing baris

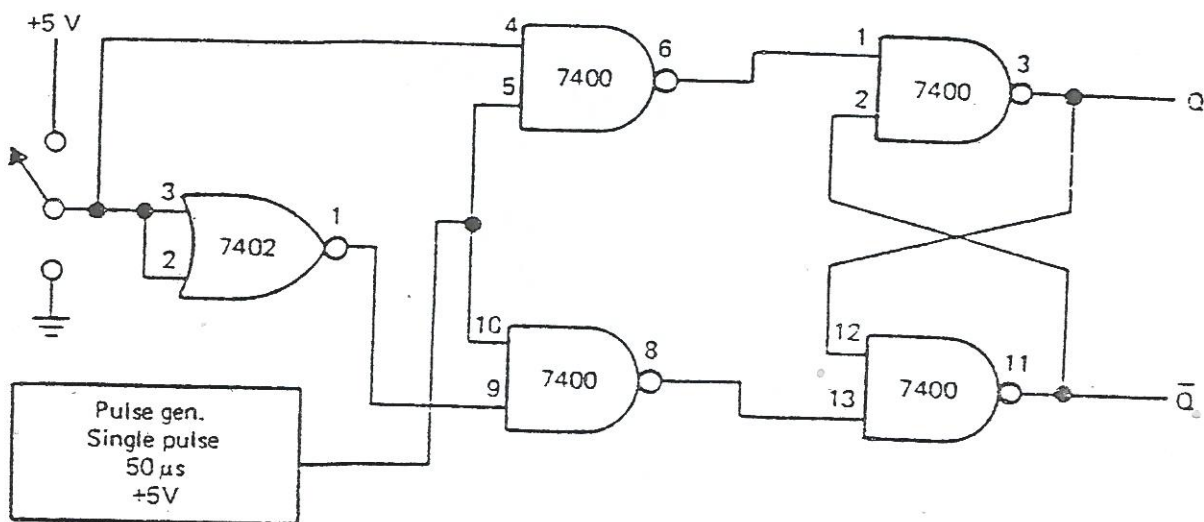
adalah data setelah pulsa single dari baris yang terdahulu.

Tabel 3 E. Gated FF dengan NAND gate.

			Before Single Pulse		After Single Pulse	
	S	R	Q	$\bar{Q}$	Q	$\bar{Q}$
1 <sup>a</sup>	+5	0	-	-		
2	0	+5				
3	+5	0				
4	0	+5				
5	0	0				
6	+5	0				
7	0	+5			No single pulse	
8	+5	0				
9	0	+5				
10	5	0				
11	0	5				

<sup>a</sup>This sets the FF in a known state.

### 3. D Flip-Flop.



Gambar 13, D Flip-Flop.

Seperti pada bagian 2b, lengkapi tabel dibawah ini :  
 "Sebelum pulsa clock" yang dapat dilihat dari "Setelah pulsa clock" yang datanya dari baris terdahulu.



Tabel 4 E. D-FF.

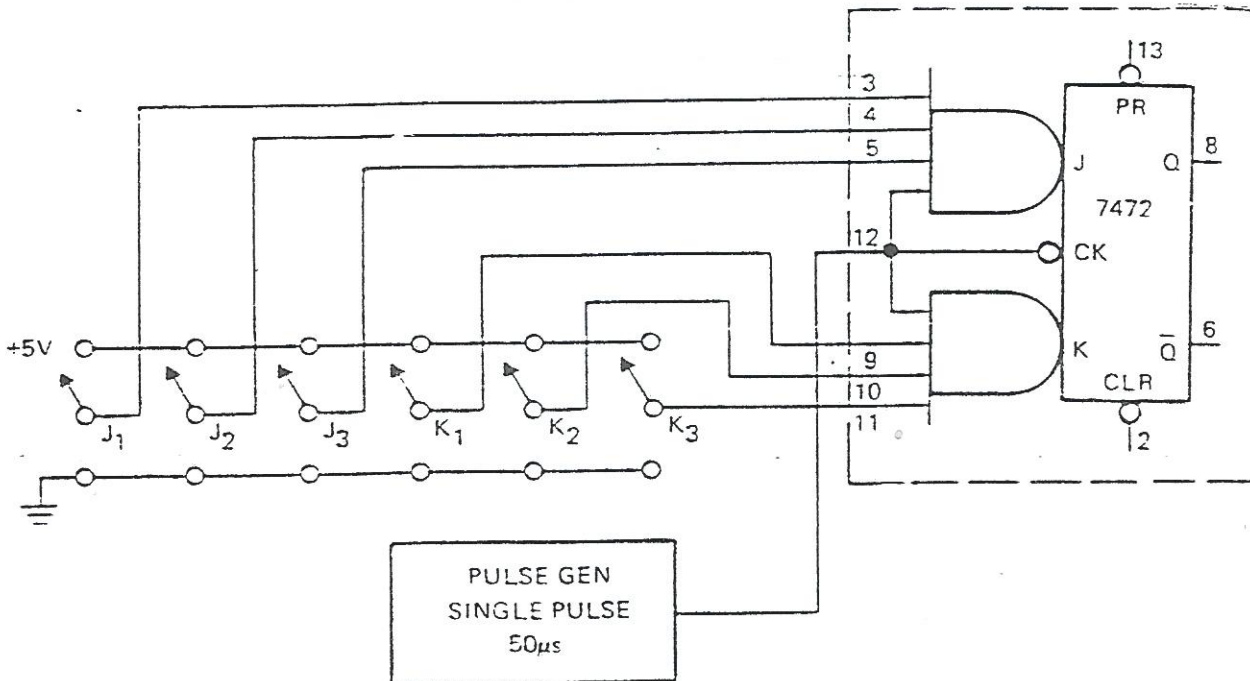
	Data	Before Clock Pulse		After Clock Pulse	
		Q	$\bar{Q}$	Q	$\bar{Q}$
1 <sup>a</sup>	+5	-	-		
2	0				
3	+5				
4	0				
5	0				
6	+5			No clock pulse	
7	0				
8	+5				
9	0				
10	5				

<sup>a</sup>This sets the FF in a known state.

4. Gerbang AND J-K MASTER Slave Flip-Flop.

a. Gerbang AND operasi J-K.

Gambar 14, AND-gated J-K Flip-Flop.



Tabel. 5E. AND gated J-K operation.

							$t_n$ Before Single Pulse		$t_{n+1}$ After Single Pulse	
	$J_1$	$J_2$	$J_3$	$K_1$	$K_2$	$K_3$	$Q$	$\bar{Q}$	$Q$	$\bar{Q}$
<sup>a</sup>	0	0	0	+5	+5	+5	-	-		
1	0	0	0	0	0	0				
2	+5	0	0	0	0	0				
3	+5	+5	0	0	0	0				
4	+5	+5	+5	0	0	0				
5	0	0	0	+5	0	0				
6	0	0	0	+5	+5	0				
7	0	0	0	+5	+5	+5				
8	+5	+5	0	+5	+5	0				
9	+5	+5	+5	+5	+5	0				
10	+5	+5	0	+5	+5	0				
11	+5	+5	0	+5	+5	+5				
12	+5	+5	+5	+5	+5	+5				
13	+5	+5	+5	+5	+5	+5				
14	+5	+5	+5	+5	+5	+5				

<sup>a</sup>To clear the FF.

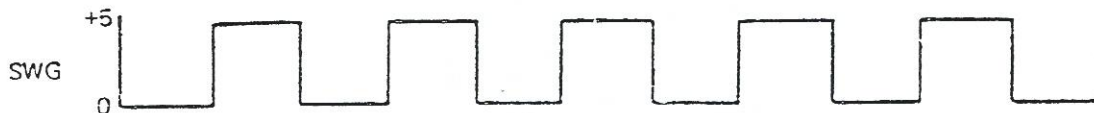
Dalam tabel 1-5E dan 1-6E, notasi  $t_n$  diambil pada keadaan FF pada saat  $t_n$  sebelum pulsa clock.  $t_n + 1$  diambil keadaan FF pada waktu  $t_n + 1$  setelah pulsa clock.

b. Mode (cara ) J-K digunakan 10 kHz SWG.

Rubahlah keluaran pada pulsa generator 10 kHz dengan gelombang kotak. Set CRO pada : - . AUTO Trigger.  
 - . NEG Slope.  
 - . INT Trigger.

Amati keluaran SWG pada CRO. Adjust horisontal time/div, juga dapatkan bentuk gelombang yang ditunjukkan pada gambar 1-15. Amati dan gambarlah pada kertas grafik dengan mengikuti seperti pada gambar 1-15. Jangan diganti skala time/div. Trigger CRO sebagai petunjuk.

Part	Output	Trigger	$J_1$	$J_2$	$J_3$	$K_1$	$K_2$	$K_3$
4(ba)	Q	EXT (NEG) from Q	+5	+5	+5	+5	+5	+5
4(bb)	$\bar{Q}$	EXT (NEG) from Q	+5	+5	+5	+5	+5	+5
4(bc)	Q	INT	+5	+5	+5	0	+5	+5
4(bd)	$\bar{Q}$	INT	+5	+5	+5	0	+5	+5
4(bc)	Q	INT	0	+5	+5	+5	+5	+5
4(bf)	$\bar{Q}$	INT	0	+5	+5	+5	+5	+5



c. Cara Asynchronous : PRESET (PR) dan CLEAR (CR).

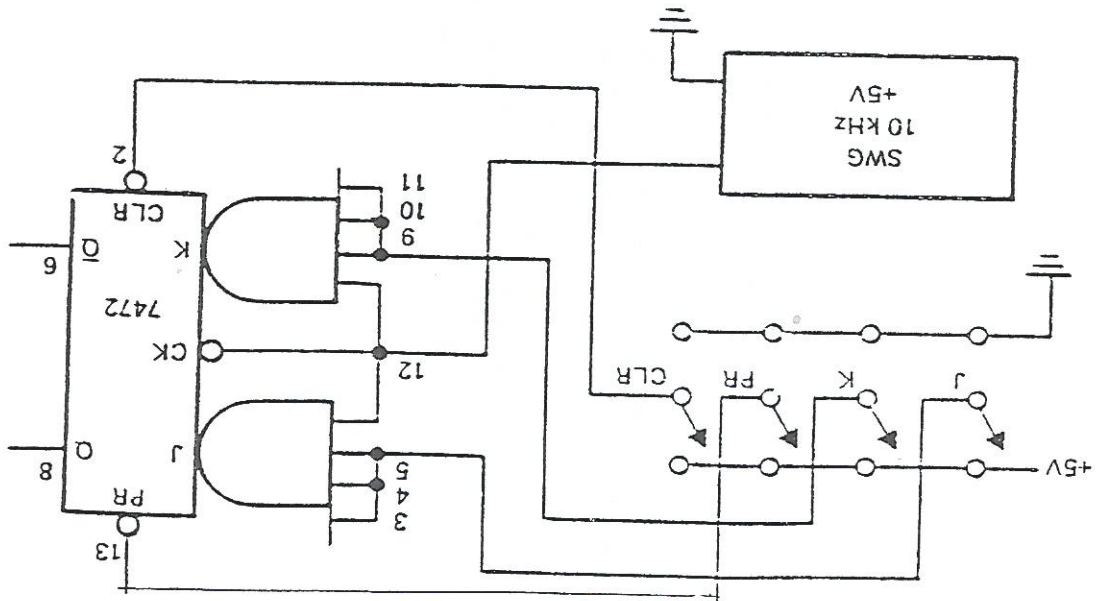
Masukkan PR adalah digunakan menset keluaran  $Q = 1$ , dan keluaran  $\bar{Q} = 0$ .

Masukkan CLR adalah digunakan menset keluaran  $Q = 0$ , dan keluaran  $\bar{Q} = 1$ .

Masukkan PR dan CLR mengesampingkan seluruh masukan yang lain.

	J	K	PR	CLR	Q	Q̄
1	+5	+5	+5	+5		
2	+5	+5	+5	+5		
3	+5	0	0	+5		
4	0	+5	0	+5		
5	0	0	0	+5		
6	+5	+5	+5	0		
7	+5	0	0	+5		
8	0	+5	0	+5		
9	0	0	0	+5		
10	+5	+5	0	0		
11	+5	0	0	0		
12	0	0	0	0		
13	0	0	0	0		

Tabel 1-6E. Asynchronous operation.



Gambar 1-16. Asynchronous mode.

Dalam tabel 1-6E, mentabulasi tegangan dapat mengikuti kondisinya. Jika gelombang kotak terlihat, gunakan notasi SW.

## KESIMPULAN

Lengkapilah dengan mengikuti tabel, gunakan positif logic,  $1 = > 2,5 \text{ V}$ ,  $0 = < 0,5 \text{ V}$ .

1. Gunakan notasi dalam melengkapi tabel kebenaran.  
1 dan 0 untuk keadaan logic.  
NC untuk no-change.  
NA untuk not allowed.  
berdasarkan data tabel 1-1E, lengkapi tabel 1-1R, tabel kebenaran untuk R-S Flip-Flop menggunakan gerbang NAND.

Tabel. 1-1R. R-S Flip-Flop with NAND gates.

S	R	Q	$\bar{Q}$
1	0		
0	1		
1	1		
0	0		

2. Berdasarkan data tabel 1-2E dan 1-3E dan gunakan notasi yang sama sebagai hasil satu, lengkapilah tabel kebenaran, tabel 1-2R, 1-3R untuk gerbang R-S Flip-Flop dari gambar 1-12. Kolom Q dan  $\bar{Q}$  adalah tingkat keluaran setelah pulsa gerbang.

Tabel. 1-2R, 1-3R. Gates NAND gate R-S Flip-Flop.

S	R	Q	$\bar{Q}$
1	0		
0	1		
0	0	NC	NC
1	1	NA	NA

3. Berdasarkan data tabel 1-4E dan gunakan notasi yang sama dalam hasil 1 dan 2, Lengkapilah tabel 1-4R untuk D Flip-Flop.

Tabel. 1-4R, D Flip-Flop.

Data	$t_n$		$t_{n+1}$	
	Q	$\bar{Q}$	Q	$\bar{Q}$
1	1	0		
0	1	0		
1	0	1		
0	0	1		

4. Dalam melengkapi tabel untuk AND gate J-K FF gunakan notasi : - . 1 dan 0 logic level  
 -. X - keadaan masukan tidak mempengaruhi keadaan keluaran  
 -. NC - No Change.
- a. Clock J-K Mode. Gunakan hasil tabel 1-5E dan bentuk gelombang bagian 4(b) untuk melengkapi tabel 1-5R. Catatan FF adalah simetris; Pengaruh masukan J pada Q adalah indentik pengaruh masukan K pada  $\bar{Q}$ .

tabel 1-5R mode.

						$t_n$		$t_{n+1}$	
$J_1$	$J_2$	$J_3$	$K_1$	$K_2$	$K_3$	Q	$\bar{Q}$	Q	$\bar{Q}$
1	1	1	0			-	-		
1	1	1		0		-	-		
1	1	1			0	-	-		
0			1	1	1	-	-		
	0		1	1	1	-	-		
		0	1	1	1	-	-		
0			0			1	0		
0			0			0	1		
1	1	1	1	1	1	1	0		
1	1	1	1	1	1	0	1		

- b. Gunakan data pada tabel 1-6E bagian 4, lengkapi tabel 1-6R untuk cara Asynchronous. Fenunjuk toggle dengan  $\bar{Q}$  dalam kolom Q dan Q dalam kolom  $\bar{Q}$ .

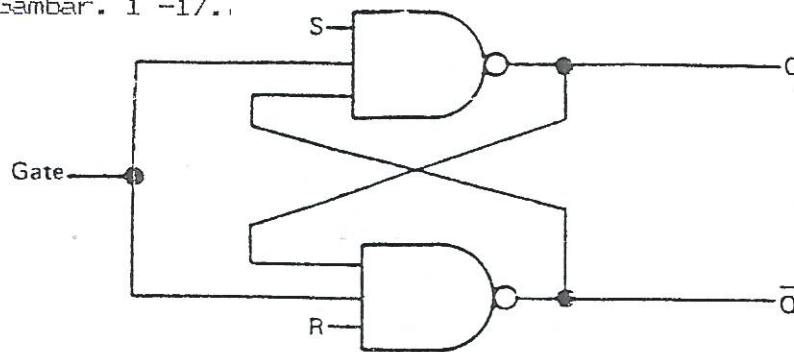
Tabel. 1-6R, Asynchronous mode,

PR	CLR	Q	$\bar{Q}$
1	1		
0	1		
1	0		
0	0		

### DISKUSI.

1. Jelaskan bagaimana 2 masukan NAND gate FF pada bagian 1 dan gambar 1-11 mempunyai sifat bistable dan dalam keadaan stabil.
2. Jelaskan mengapa pada gambar 1-11, S = 1, R = 1 adalah diperbolehkan tapi S = 0, R = 0 tidak diperbolehkan.
3. Sebuah R-S bistable mempunyai keadaan yang tidak diperbolehkan. Berdasarkan data pada baris 6 dan 8 pada tabel 1-1E. Diskusikan faktor penentu pada keadaan yang diperbolehkan dan ulangi.
4. Jelaskan mengapa dalam tabel 1-2 E, hasil pada baris 1,2,3 dan 4 berbeda pada baris 5,6,7,8 dan 9.
5. Ini hasrat menggunakan kancing untuk menyimpan data sementara pada operasi aritmatik lengkap dalam komputer saat operasi aritmatik yang lain adalah pengambilan tempat. Berdasarkan data pada tabel 1-2E, apakah gerbang level 1 atau 0, apakah digunakan mentrasfer data kedalam kancing (latch) ?. Tingkatan digunakan memisahkan kancing dari operasi aritmatik apakah yang terjadi ?.
6. Berdasarkan data pada tabel 1-3E, apakah Single gate atau pulsa Strobe.
7. Gerbang R-S Flip-Flop pada bagian 2 mempunyai 4 gerbang. gambar 1-17 adalah satu percobaan membuat sebuah FF gate dengan 2 gerbang. Dimana jika tidak bekerja, koreksi. Terangkan mengapa tidak \* (Petunjuk : Anggap semua tingkatan tepat untuk R,S dan gerbang).

Gambar. 1 -17..



8. Metode Standart pada tabel kebenaran untuk tipe 7472 ditunjukkan pada tabel 7 - 7D.

Tabel. 1-7D. Function table.

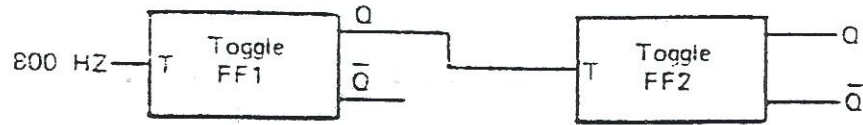
INPUTS		GUTPUTS <sup>a</sup>				
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	$\square$	L	L	$Q_0$	$\bar{Q}_0$
H	H	$\square$	H	L	H	L
H	H	$\square$	L	H	L	H
H	H	$\square$	H	H	TOGGLE	

<sup>a</sup>Positive logic:  $J = J_1 \cdot J_2 \cdot J_3$ ;  $K = K_1 \cdot K_2 \cdot K_3$ .

- Bandingkan dengan tabel 1-5R dan bentuk gelombang pada bagian 4(b) dan jelaskan mengapa masukan J-K sama dengan kedua tabel ?.
  - Untuk mendapatkan 1 dikolom Q memerlukan J1,D2 dan J3 pada 1. Untuk mendapatkan 0 dikolom Q memerlukan K1,K2 dan K3 pada 1. Bagaimana syarat ditunjukkan pada type 7472 diagram logic ?.
  - Didalam kolom "GUTPUTS" , apakah arti bintang (\*) lain pada Hs dalam baris ketiga ?.
  - Dalam baris keempat, apakah arti masukan dari Q0 dan  $\bar{Q}_0$  ?.
9. Dari pada gelombang bagian 4 (b), apakah keluaran pada Q untuk  $j = + 5$ ,  $k = + 5$  ?. Tunjukkan kalkulasimu.
10. Apakah frekuensi akan didapatkan pada keluaran Q dari FF 2 ?.



Gambar. 1- 18.



11. Diagram logic type 7472 mempunyai putaran terbalik pada masukan clock. Artinya data tersebut ditrasfer kekeluaran Slave ketika clock keningkat Zero. (Petunjuk : lihat tabel 1 - 6 E dan 1 - 6 R).

# P E R C O B A A N 2 .

## PENCACAH BINARY COUNTER DAN SISTEM RANGKAIAN BINER.

### I. Maksud dan tujuan.

- Mempelajari operasi pencacah binary counter.
- Mempelajari operasi perhitungan biner dan penguraian angka dalam sistem pengangkaan biner.

### II. Teori Pendahuluan.

#### (a). Perhitungan biner.

Suatu biner atau bistable flip-flop mempunyai karakteristik perubahan dari setiap bagian pulsa yang datang dan pergi untuk setiap bagian dasarnya setelah dua pulsa dihasilkan. Setelah pulsa kedua tidak ada lagi terjadi penunjukan pulsa baik untuk pulsa nol ataupun dua pulsa. Akan tetapi apabila kemudian kebentuk dasar akan membentuk "over flow" dan akan menghasilkan biner kedua, ini sekarang akan selalu berubah bentuknya, perubahan pada bagian ini akan dikombinasikan dengan biner yang pertama yang dapat digunakan untuk menunjukkan dua pulsa yang telah dijumlahkan.

Penjumlahan biner-biner yang sama dapat digunakan secara bertingkat (cascade) melalui pertama dua atau tiga bagian akan menunjukkan nomor pulsa yang telah dihasilkan keinput secara bergantian dari biner-biner yang disebut "binary counter". Dalam perhitungan seperti ini akan digambarkan dalam notasi biner dengan mentranslitkan perhitungan biner-biner atau tingkat-tingkatnya.

Apabila kita lihat pada bagian binary sebelum pulsa terjadi adalah 0 atau lawannya adalah bagian 1, kemudian kita dapat melihat nomor dari pulsa yang baru datang kedua-duanya bermotasi biner dan oleh bagian dari tingkat counter dalam N tingkat counter (N-stage counter). dalam penggambaran ini  $B_n$  (binary digit atau bits) dapat berupa 0 atau 1. Sebagai contoh : Anggaplah kita mempunyai counter empat tingkat dan 12 pulsa yang dihasilkan. Setelah 12 pulsa kita akan menemukan pada Q output seperti berikut :

Stage	Level
1	0
2	0
3	1
4	1

dan perhitungan ini didapat dari persamaan 2-1 adalah:

$$\begin{aligned} \text{perhitungan} &= 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 = 12 \\ &= 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 = 12 \end{aligned}$$

Dalam binary, kedua output untuk terminal Q dan  $\bar{Q}$  dapat dihasilkan atau hanya satu terminal Q dapat dihasilkan. Apabila hanya satu terminal dihasilkan, bagian dari tingkat yang bervariasi dapat digambarkan oleh level Q yaitu berupa 0 atau 1 dan level ini adalah pada nilai B untuk persamaan 2-1. Apabila kedua bagian dari sisi binary dihasilkan maka counter akan lebih berfungsi dan dapat digunakan untuk output yang terjadi atau penguraianya. Komplemen dari hasil perhitungan yang terjadi pada terminal  $\bar{Q}$  output. Perhitungan terminal  $\bar{Q}$  sebagai pelawan dari terminal Q yang telah dihitung.

Sebuah binary counter harus mempunyai clearing (penghapus) hasil perhitungan sehingga pada total perhitungan adalah 0 sebelum perhitungan pulsa baru dihasilkan pada counter, apabila perhitungan benar maka akan diisi pada setiap saat untuk pulsa baru yang telah dihitung.

(b). Devisi Frekwensi.

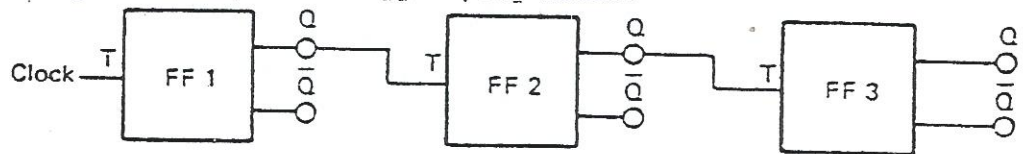
Apabila pulsa yang baru masuk terjadi pada jalur dasar yang teratur atau berfrekwensi konstan, frekwensi dari output dari biner pertama adalah satu setengah dari frekwensi yang baru masuk. Setiap binary kembali membagi 2 frekwensi yang baru masuk (untuk pulsa). Dan oleh sebab itu pada suatu N-tingkat perhitungan frekwensi outputnya  $\frac{1}{2^N}$  untuk setiap tingkat adalah  $(1/2)^N \times$  frekwensi dari pulsa yang baru masuk, dimana adalah nomor dari tingkat titik pengukuran.

(c). Ripple counter (cacat perhitungan).

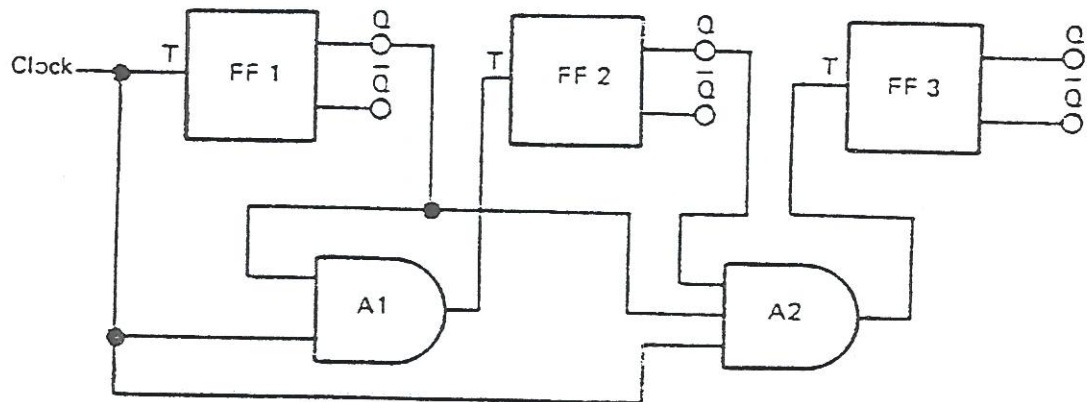
Pada gambar 2-1a memperlihatkan blok diagram tipe basic dari perhitungan binary yang disebut counter ripple. Pada tipe perhitungan ini output dari setiap flip-flop mentrigger untuk tingkat yang berikutnya. Trigger ini mengambil tempat untuk transisi 1 ke 0. Anggaphlah kondisi keluaran untuk semua tiga flip-flop adalah pada bagian 1 dan pulsa trigger tiba pada input flip-flop 1 (FF 1). Setiap rangkaian mempunyai propagasi atau saklar waktu, tidak terkecuali FFs. Sebagai hasil dari propagasi atau waktu penundaan ini, setiap tingkat tiba pada bagian yang terakhir pada penundaan waktu oleh tingkat yang sebelumnya dan perhitungan "ripple" melalui counter. Sebagai contoh, apabila switch time untuk setiap bistable adalah 100 ns pada counter tiga tingkat seperti diperlihatkan pada gambar 2-1a, output pada FF3

akan tiba pada tingkat terakhir adalah 300 ns setelah pulsa trigger bila semua tiga FFs telah berubah bagiannya.

Dari sudut perhitungan atau dari sudut deviasi frekuensi sebab ini tidak bermasalah, tetapi dilihat dari masalah sebagai ; anggap kita mensuplai pulsa input perhitungan biner untuk 200 ns dan kita mempunyai operasi yang harus dibentuk pada perhitungan tingkat 1 dan 5 pada perhitungan 5 tingkat adalah pada 1. Permintaan ini adalah pada gerbang AND. Tetapi pada tingkat ke 5 tidak akan tiba padanya pada waktu yang tepat setelah 500 ns penundaan, dan pada saat ini 2 penambahan pulsa trigger (atau perhitungan) telah dihasilkan pada counter. Gerbang AND, oleh sebab itu beroperasi pada perhitungan yang salah karena dari waktu switching FF. Gerbang yang lain mungkin sama memberikan penunjukan yang salah atau mungkin dihidupkan atau dimatikan pada waktu yang salah, oleh sebab itu menghasilkan pulsa trigger yang salah.



(a) Three-stage binary ripple counter



(b) Three-stage synchronous (clocked) binary counter

Gambar 2-1.

Cascade binary counter.

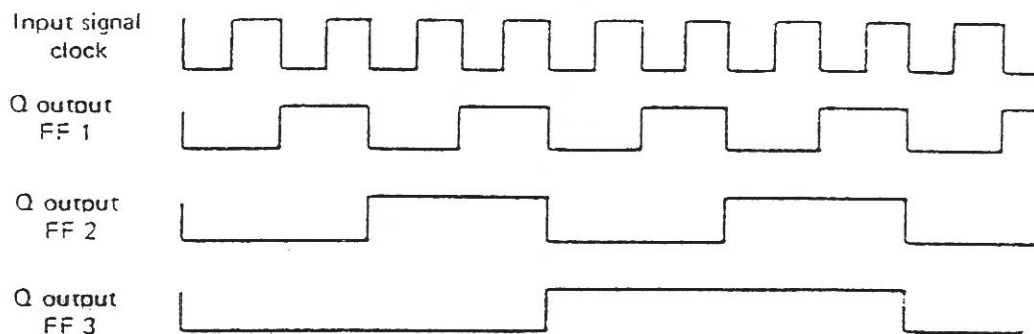
(d). Sinkronisasi perhitungan biner.

Kesulitan pada cacat perhitungan (ripple counter) yang dibicarakan diatas mungkin dapat kita temukan pada perhitungan semua tingkat (stages) yang ditrigger secara serempak. Perhitungan akan menjadi bertambah kompleks dan diperlihatkan pada bentuk blok diagram gambar 2-1b. Perhatikan dari AND gerbang A1 dimana gerbang A1 didapat level 1 dari output Q pada FF1 dan FF2 ditrigger oleh jam (clock) secara serempak. Sama benarnya untuk FF3 ditrigger pada saat yang tepat pada bentuk gelombang.

yang diclock trigger pada saat FF1 dan FF2 pada keadaan 1. Karena itu kecuali untuk penundaan gerbang single, semua tingkat ditrigger oleh clock secara serempak.

(e). Bentuk gelombang CRO dan triggering.

Observasi pada perhitungan bentuk gelombang CRO menghasilkan suatu daya yang besar dan metode analisa yang cepat dari operasi perhitungan dan kegagalan pemakaian. Untuk menghasilkan bentuk dan analisa yang benar dipastikan bahwa CRO ditrigger pada saat yang tepat pada bentuk gelombang. Perhatikan bentuk gelombang dari trigger perhitungan biner tiga tingkat pada transisi 1 ke 0 (logic positif), seperti diperlihatkan pada gambar 2-2. Untuk mendapatkan bentuk yang tepat, sebagai catatan bahwa semua bentuk permulaan harus pada transisi negatif. Satu-satunya saat untuk ketiga FFs secara serempak mempunyai transisi negatif adalah apabila output Q dari FF3 adalah pada posisi negatif. Karena itu untuk mentrigger yang pantas pada CRO kita harus menggunakan external negatif slope trigger dari output Q pada FF3.



Gambar 2-2. Bentuk gelombang dari binary counter tiga tingkat pada gambar 2-1.

### III. Alat-alat Percobaan.

- CRO dc dan kalibrasi.
- Power supply dc +5 V pada 100 mA.
- Generator gelombang segi empat (SWG), +5 V pada 10 kHz atau single pulsa 50 us.
- IC tipe 7400 dengan 2 input gerbang NAND.
- IC tipe 7420 dengan 4 input ganda gerbang NAND.
- IC tipe 7472 gerbang AND dengan J-K FF dengan tiga kaki.
- Capacitor 0,1 uF.

Type	Motorola	Fairchild	Texas Instruments	National Semiconductor
7400	MC7400P MC7400L	7400PC 7400DC	SN7400N SN7400J	DM7400N
7420	MC7420P MC7420L	7420PC 7420DC	SN7420N SN7420J	DM7420N
7472	MC7472P MC7472L	7472PC 7472DC	SN7472N SN7472J	DM7472N

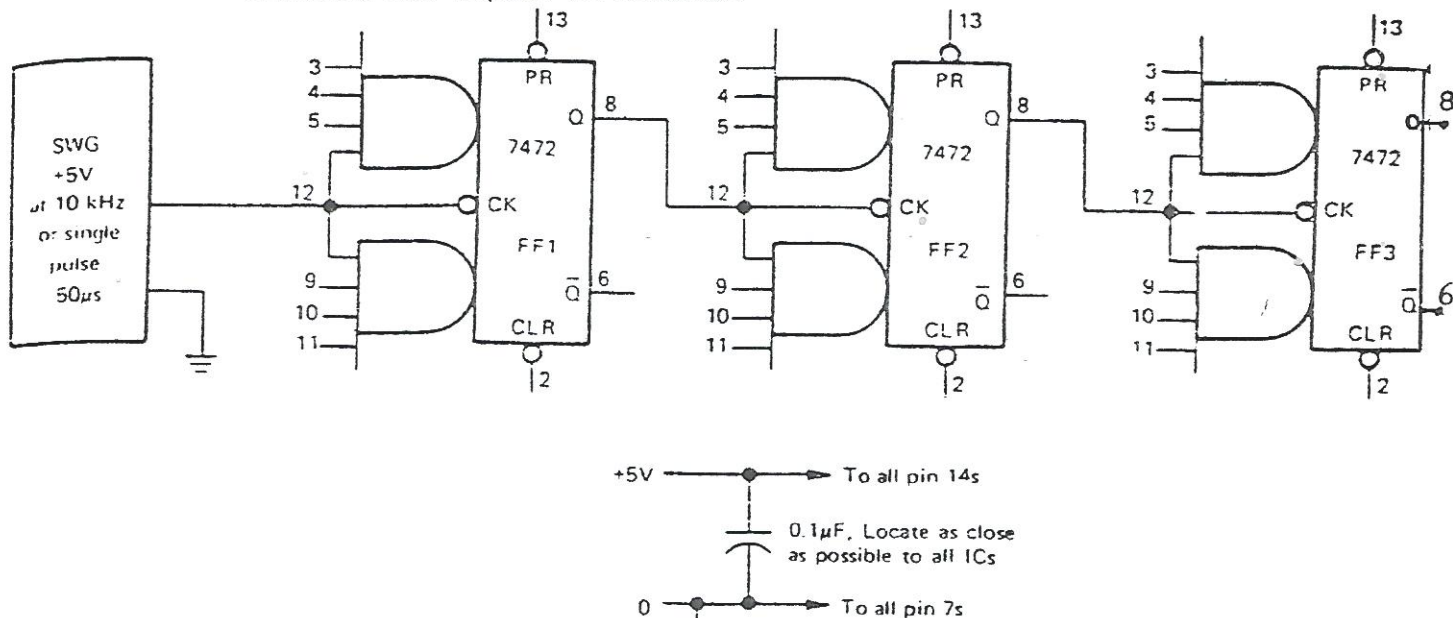
Data buku Ic yang dikeluarkan oleh pabrik.

#### IV. Prosedur percobaan.

Untuk semua percobaan menggunakan IC dengan  $V_{cc} = +5\text{ V}$  pada pin 14 dan ground pada pin 7.

1.a. Bentuk sirkuit pada gambar 2-3 untuk perhitungan ripple biner tiga tingkat.

Tinjaualah bentuk gelombang pada output pulsa generator. Gunakan AUTO trigger negatif slope dan INT. Vertikal adalah untuk couple dc 1 V/Div. kemudian rubahlah frekuensi pulsa generator atau adjust CRD sweep speed sehingga didapat 10 cycle dari pulsa generator yang menghasilkan secara tepat 10 divisi horisontal (lihat gambar 2-5). Sekarang tinjaulah bentuk gelombang pada pin 8 dari FF3. Gambar itu harus terlihat seperti yang diperlihatkan pada gambar 2-4. Selama dalam percobaan jangan merubah frekuensi pulsa generator atau frekuensi CRD sapuan horisontal.



Gbr. 2-3. IC-BINARY RIPPLE COUNTER.



Gambar 2-4. FF3 - pin 8 - wave pattern.

(b). Rubahlah pulsa generator ke fungsi PULSA SINGLE.

Periksalah tegangan pada pin 8 untuk semua tiga FFs. Sedikitnya satu harus mendekati ground dan sedikitnya satu harus mendekati +5 V. Apabila kondisi ini tidak keluar, sementara waktu kembalian pulsa generator kebentuk gelombang segi empat (square wave) dan kemudian kembali ke PULSA SINGLE dan sekali lagi periksa pada pin 8 level tegangannya. Apabila perlu ulangi lagi sampai level pada pin 8 seperti yang dikehendaki. Ukurlah tegangan yang ditunjukkan pada pin terminal IC untuk melengkapi tabel 2-1 E.

Tabel 2-1 E.

FF3		FF2		FF1	
Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$

(c). Ini dapat dilakukan seperti perintah yang ditunjukkan atau semua pin 2s dapat dihubungkan keground secara serempak.

1. Hubungan pin 2 dari FF1 ke ground dan kemudian lepaskan hubungan pin 2 ke ground.
2. Hubungkan pin 2 dari FF 2 ke ground dan kemudian lepaskan hubungan pin 2 ke ground.
3. Hubungkan pin 2 dari FF 3 ke ground dan kemudian lepaskan hubungan pin 2 ke ground.

Ukurlah tegangan yang ditunjukkan pada pin terminal IC untuk melengkapi tabel 2-2 E.

Tabel 2-2 E.

FF3		FF2		FF1	
Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$

(d). Perhitungan biner.

Operasikan pulsa generator ke suatu pulsa single setiap saat untuk melengkapi tabel 2-3 E. Data dilengkapi baris demi baris. Pada pulsa 0, tegangan yang ditunjukkan pada tabel 2-3 E harus diisi. Periksalah semua ini untuk mendapatkan kepastian sebelum mengukur setiap tegangan.

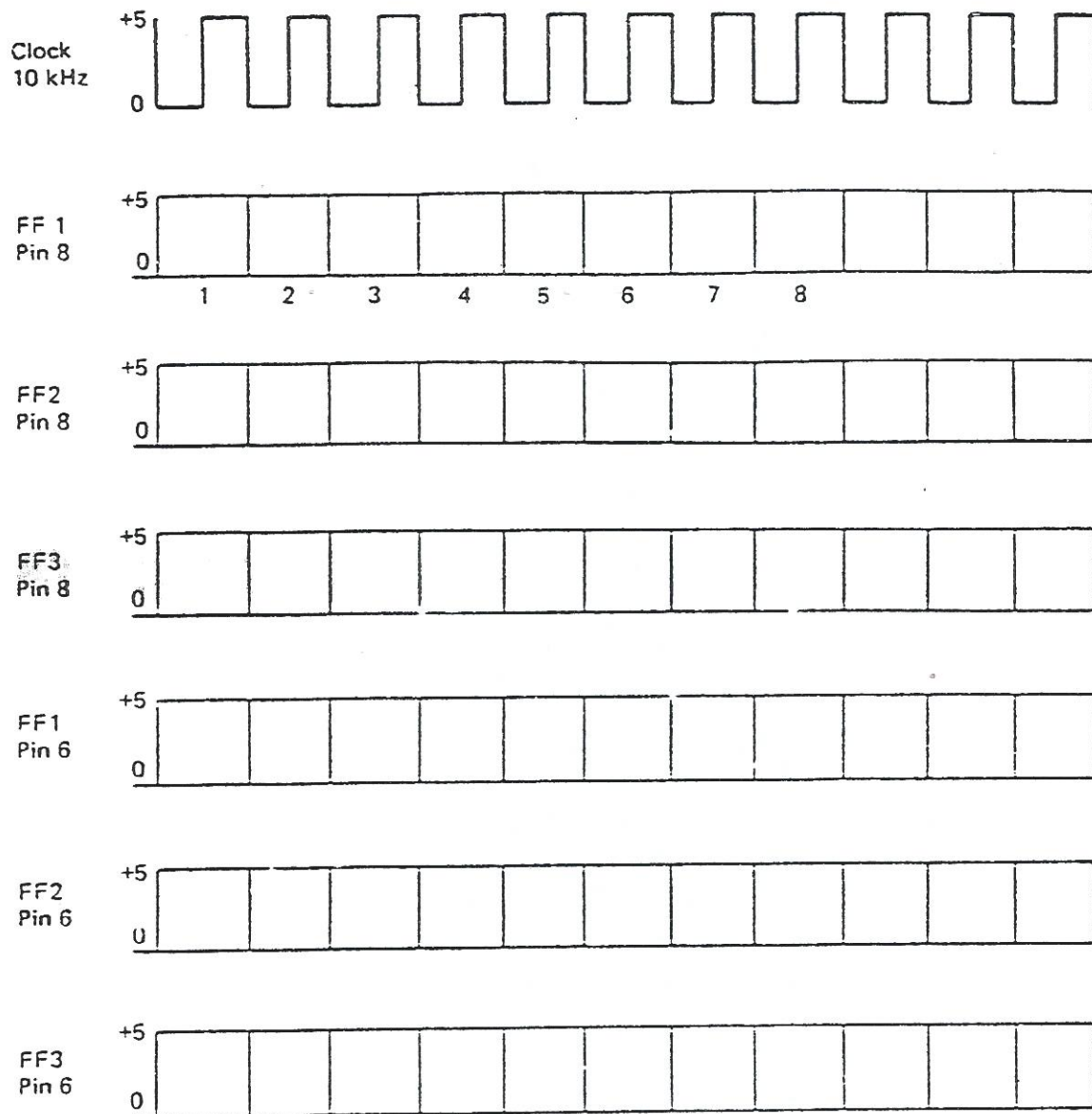
Tabel 2-3 E.

Pulse	FF3		FF2		FF1	
	Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$	Pin 8 Q	Pin 6 $\bar{Q}$
0	0	$\approx +5$	0	$\approx +5$	0	$\approx +5$
1						
2						
3						
4						
5						
6						
7						

(e). Bentuk gelombang CRO pada trigger yang benar.

Setkan pulsa generator pada gelombang segi empat 10 kHz. Tinjaulah bentuk gelombang pada terminal-terminal pin IC yang ditunjukkan. Kemudian sketkanlah bentuk tersebut pada kertas grafik gambar 2-5. Untuk trigger CRO gunakan AUTO trigger slope negatif pada couple dc dan external trigger dari pin 8 (output Q) pada FF3. Untuk input vertikal menggunakan couple dc 1 V/div.





Gambar 2-5.

Bentuk gelombang untuk bagian 1 e,  
dengan trigger benar.

2. Bentuk gelombang CRO- trigger yang salah.

Isi bentuk dari bagian untuk memberikan bentuk gelombang yang benar. Bagian dari percobaan ini akan mendemonstrasikan bagaimana bentuk gelombang yang salah yang diberikan oleh trigger. Dalam penggambaran bentuk, penggambarannya ditunjukkan oleh kode-kode sebagai berikut. Apabila perlu gunakan lebih dari satu kertas untuk menggambarkan hasil percobaan saudara. Buatlah data kolom demi kolom, yang dimulai dari kolom A.

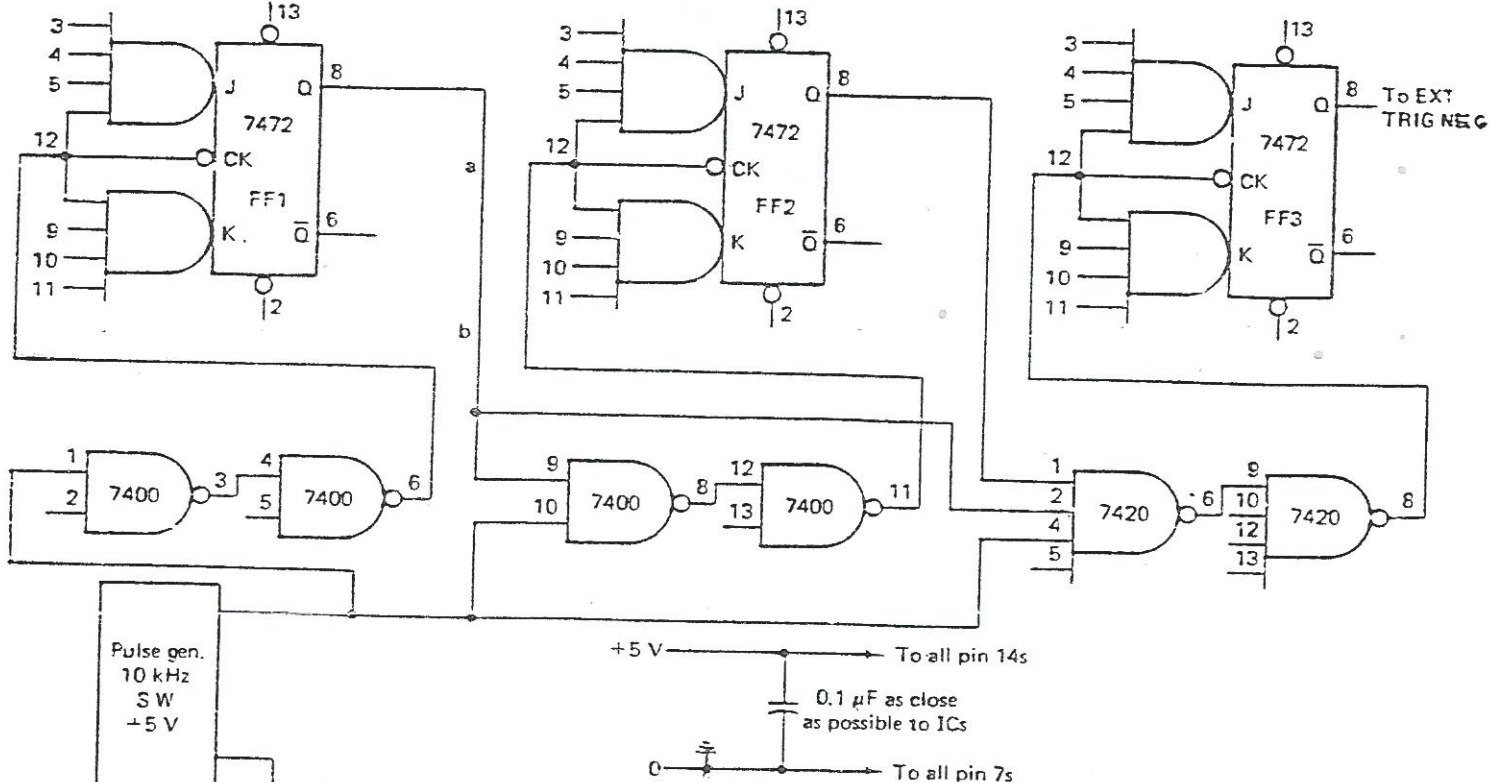
- a. Benar.
- b. Fhasa salah - frekuensi benar.
- c. Taktetap atau tak dikenal.

Tabel 2-4.E.

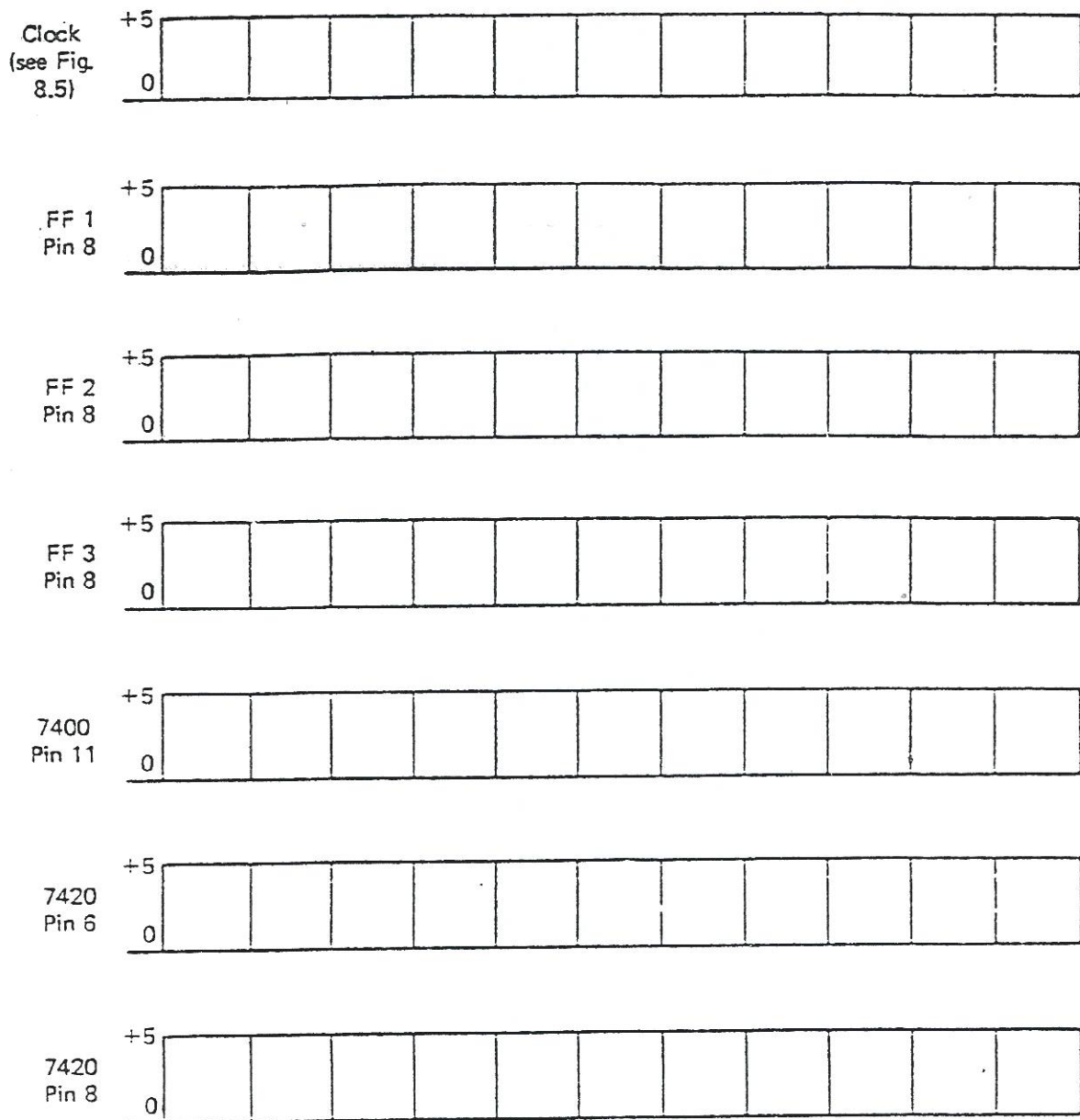
Wave Shape at Pin	EXT NEG TRIGGER from Clock	EXT NEG TRIGGER from FF 1, Pin 8	EXT NEG TRIGGER from FF 2, Pin 8	EXT NEG TRIGGER from FF 3, Pin 6	EXT POS TRIGGER from FF 3, Pin	NEG TRIGGER INT	POS TRIGGER INT
	A	B	C	D	E	F	G
Clock							
FF 1, pin 8							
FF 1, pin 6							
FF 2, pin 8							
FF 2, pin 6							
FF 3, pin 8							
FF 3, pin 6							

3.a. Synchronous (clocked) counter-tiga tingkat.

Hubungkan circuit seperti gambar 2-6. Ini adalah tiga tingkat clock biner counter. Bentuk gelombang terdapat pada pin 8 dan 6 yang indentik dengan isi dari percobaan bagian tadi. Apabila tidak ada isinya, sementara waktu rubahlah sinkronisasi ke INT dan pastikan untuk setiap tingkat, dimulai dari FF1. Apabila semua tingkat telah dioperasikan secara tepat, sketlah bentuk gelombang pada titik yang diminta pada gambar 2-7. (gunakan sinkronisasi negatif slope - dari pin 8 pada FF3).



Gbr 2-6 SYNCHRONOUS TIGA TINGKAT BINARY COUNTER.



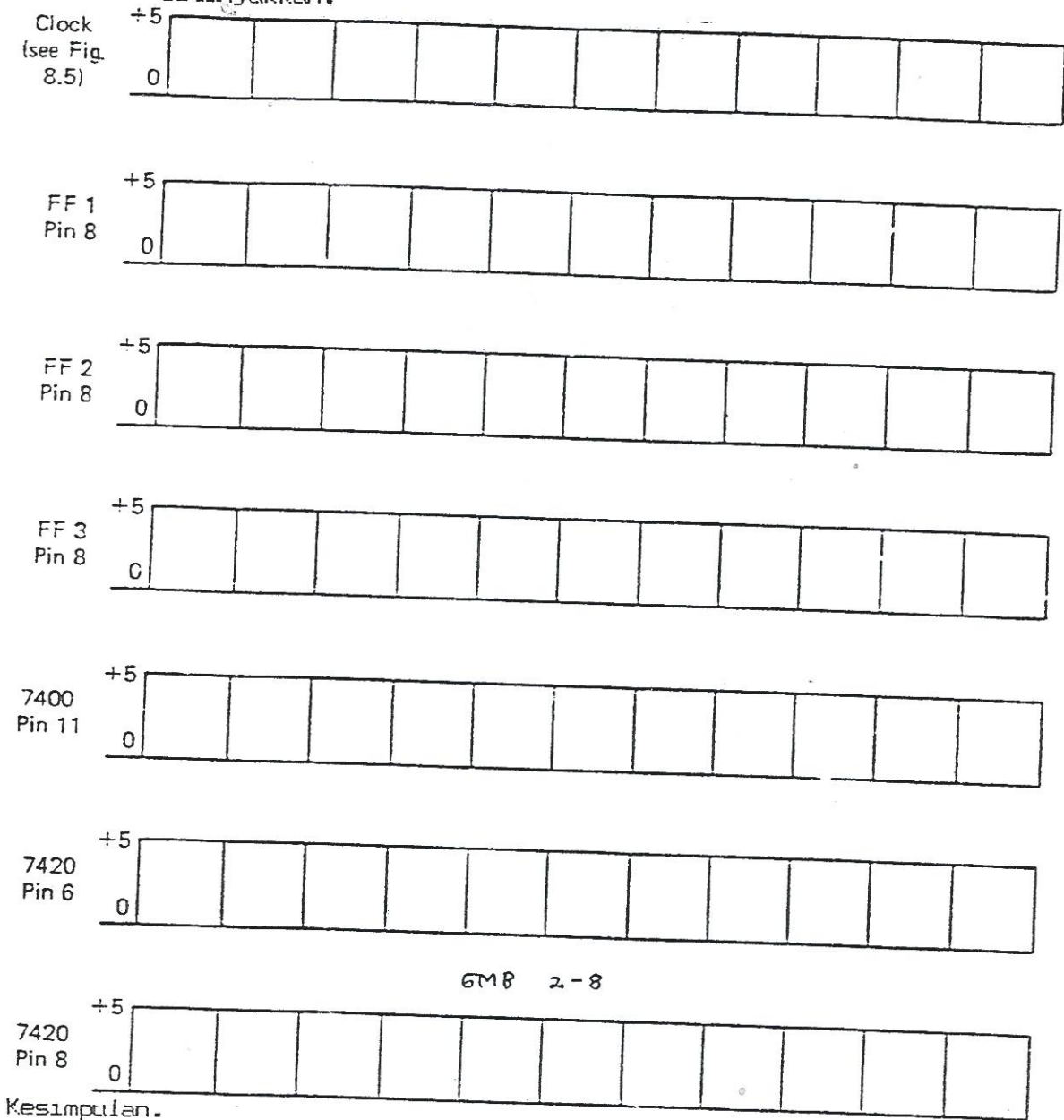
Gambar 2-7.

Bentuk gelombang bagian 3 asinkronisasi (clock) counter.

(b). Synchronous counter - efek dari pengkawatan yang salah.

Dalam pengkawatan circuit yang komplek, salah pengkawatan kadang-kadang terjadi atau komponennya mungkin tidak sempurna. Analisalah bentuk gelombang yang terjadi dalam penunjukkan pada lokasi error. Meskipun pada simpel circuit seperti pada gambar 2-6, kemungkinan kesalahan banyak sekali. Pada bagian percobaan ini diperlihatkan kesalahannya. Suatu analisa isi bentuk gelombang dari bagian yang benar harus menentukan sebab dari kesalahan itu.

Kesalahan dapat terjadi adalah : "putuskan hubungan dari pin 8 pada FF1 dan hubungkan ke pin 9 pada IC tipe 7400 dan pin 2 pada IC tipe 7420". Sekarang sketlah bentuk gelombang pada gambar 2-8 pada titik yang ditunjukkan.



Kesimpulan.

- 1.a. Gunakan data pada tabel untuk positif logic, dan lengkapi tabel 2-3r. Gunakan level logic 1 dan 0.

Tabel 2-3 R.

Pulse	$Q_3$ Pin 8 FF 3	$Q_2$ Pin 8 FF 2	$Q_1$ Pin 8 FF 1	Binary Number $Q_3Q_2Q_1$	Decimal Equiv. of K	$\bar{Q}_3$ Pin 6 FF 3	$\bar{Q}_2$ Pin 6 FF 2	$\bar{Q}_1$ Pin 6 FF 1	Binary Number $\bar{Q}_3\bar{Q}_2\bar{Q}_1$	Decimal Equiv. of L	Col. A + Col. B
				K	A				L	B	
0	0	0	0	000	0	1	1	1	111		
1											
2											
3											
4											
5											
6											
7											

- b. Gunakan bentuk gelombang untuk positif logic dan pada box horisontal yang ditunjukkan, Lengkapilah tabel 2-5 R isinya gunakan logic level 1 dan 0.

Tabel 2-5 R.

Box	$Q_3$	$Q_2$	$Q_1$	$\bar{Q}_3$	$\bar{Q}_2$	$\bar{Q}_1$
1						
2						
3						
4						
5						
6						
7						
8						

## PERTANYAAN

-----

1. Jelaskan fungsi dan kegunaan untuk Re grounding dari pin 2 untuk tiap flip-flop pada bagian 1(c).  
Apa pengaruh pen-ground-an dari pin 2 ?  
Berapa penghitungan biner sebelum dan sesudah pin 2 di groundkan ?
2. Berdasarkan pada tabel II-3 R, kolom L adalah .....  
Kebalikan dari kolom .....
3. Bandingkan kemajuan dari perhitungan dari kolom A dan B dari tabel II-3R. Diskusikan dengan pengaruh pada semua representasi biner dan decimal.
4. Berapa kemampuan pencacahan maksimum dari tingkat binary counter.  
Biner ..... Decimal .....
5. Bandingkan table II-3R dengan table II-5R dan diskusikan, Jelaskan dengan analisa yang mudah dari operasi pencacahan yang benar menggunakan metode bagian 1(d) atau bagian 1(c). Metode operasi yang mana, SWG atau pulsa tunggal yang akan anda gunakan bila anda menggunakan volt meter.
6. Bila frekuensi clock = 10 KHz, hitung frekuensi pada pin 8 dari flip-flop 1, pin 8 dari flip-flop 3 dari gambar 8-3.
7. Hitung frekuensi output dari 7 tingkat binary ripple counter pada frekuensi input = 1 MHz
8. Pada bagian 2, metode mana dari pentriggeran (titik trigger, trigger slope, kolom table 2-1E) berikan pattern gelombang pada semua titik dicounter ?  
Jelaskan mengapa counter tsb memberikan pattern yang tepat !.
9. Jelaskan operasi dari gambar 8-6 dengan pengaruh ke pattern gelombang dari bagian 3(a).
10. Kesalahan perkawatan yang dijelaskan dalam bagian 3B menyebabkan fungsi penjiplakan dari counter, Jelaskan jumlah bentuk gelombang dari flip-flop 2 pada pin 8 dan flip-flop 3 dari pin 8 berdasarkan analisa anda pada kesalahan dan bentuk gelombang pada gambar 3(b).
11. Apa keuntungan dan kerugian dari counter ripple terhadap counter synchron.
12. Sebuah binary mempunyai time delay 25 nS. Ini digunakan sebagai element flip-flop dalam 6 tingkat ripple counter. Counter pada keadaan 111111. Sebuah pulsa merubah tingkat pertama ke keadaan 0. Berapa lama sesudah perubahan tingkat I ke 0 akan berubah seluruh 111111 menjadi 000000.

## SHIFT REGISTER DAN RING COUNTER

Tujuan percobaan:

1. Untuk mempelajari shift register dan sifat-sifatnya.
2. Untuk mempelajari ring counter.
3. Untuk mempelajari ring counter terputar.

Teori Pendahuluan

Register adalah sebuah memory atau penyimpan data. Shift register adalah sebuah memory yang mana informasinya dipindahkan atau digeser satu posisi pada satu saat dengan adanya perintah clock atau pulsa shift. Element penyimpan di dalam IC shift register adalah bistabel.

Operasi dari shift register berdasarkan sifat-sifat R-S flip-flop atau sifat-sifat J-K dari J-K flip-flop (J atau K = 1). Jika output ( $Q$  dan  $\bar{Q}$ ) dari bistabel dihubungkan ke input-input JK ( $Q$  ke J dan  $\bar{Q}$  ke K) dari bistabel berikutnya, sebuah pulsa shift akan membuat bistabel tersebut menerima atau mengikuti data dan tingkat sebelumnya.

Penggantian pulsa-pulsa shift dapat menggeser data ke titik lainnya di dalam register.

Susunan rangkaian dari shift register mengizinkan pergeseran data dalam perarahan juga, kanan atau kiri. Oleh karena itu shift register dinamakan shift-right atau shift left register. Banyak data bit yang digeser satu tingkat untuk tiap pulsa shift dan akan kelihatan pada tingkat titik N sepanjang yang tertunda oleh waktu N pulsa shift. Oleh karena itu shift register dapat digunakan seperti sebuah delay.

Informasi tipe serial dapat diperkenalkan ke dalam keadaan pertama dari register 1 bit pada satu waktu. Setelah ini bit demi bit informasi telah ditransfer dan disimpan di dalam register, dalam semua keadaan dapat dibaca secara bersamaan dalam bentuk paralel. Tipe shift register ini adalah perubah data serial ke paralel.

Dalam cara yang sama informasi dapat diperkenalkan ke dalam semua keadaan secara bersamaan dalam bentuk paralel dan dibaca pada akhir keadaan bit demi bit dengan penggeseran data menuju keadaan akhir. Dalam bentuk ini shift register menjadi perubah data paralel ke seri.

Ketika output keadaan terakhir dari shift register dihubungkan ke input shift register, data dalam shift register bersirkulasi sekitar register. Ini dinamakan circulating shift register. Secara listrik, ini ekuivalen dengan drum magnetik atau penyimpan disk. Circulating

shift register dimana hanya satu keadaan di dalamnya adalah pernyataan yang berbeda dari keadaan-keadaan lainnya dapat digunakan seperti ring counter, sejak keunikan posisi dari keadaan ini dengan cincin yang ditunjukkannya dan ukuran angka pulsa-pulsa shift yang terhitung. Seperti sebuah counter yang mempunyai keuntungan terdekode secara otomatis.

Ketika output shift register dihubungkan ke input dalam cara berkebalikan ( Q ke K dan  $\bar{Q}$  ke J), counter yang dihasilkan dinamakan Johnson, twisted ring, switch tail, atau ring tail counter. Counter mengisi pulsa demi pulsa sampai semua tingkat adalah keadaan 1 dan kemudian tidak mengisi sampai semua tingkat adalah keadaan 0.

Proses ini berulang dengan sendirinya setelah hitungan 2 kali jumlah tingkat, menghasilkan dalam kemampuan hitung  $2^N$ , di mana N adalah jumlah tingkat untuk mendekode counter ini hanya membutuhkan gerbang AND 2 input.

#### ALAT-ALAT YANG DIBUTUHKAN

- . CRD, dc coupled and calibrated.
- . DC power supply, +5 V at 100 mA.
- . SWG, 50 us +5 V, 10 kHz, 1Hz
- . Switch bank, 8 swiches.
- . 5 buah resistor 680 ohm, +10 % composition resistor.
- . 5 buah LED merah.
- . IC type 7400 quad 2 input NAND gate.
- . 3 buah IC type 7486 dual j-k FFs dengan FRESET and CLEAR.
- . IC type 7496, 5bit shift right shift register.

Type	Motorola	Fairchild	Texas Instruments	National Semiconductor
7400	MC7400P MC7400L	7400PC 7400DC	SN7400N SN7400J	DM7400N
7476	MC7476P MC7476L	7476PC 7476DC	SN7476N SN7476J	DM7476N
7496	MC7496P MC7496L	7496PC 7496DC	SN7496N SN7496J	DM7496N

#### Prosedur Percobaan

Semua data dalam percobaan ini di tulis baris per baris,



## 1. Shift Register

Rangkaian-rangkaian gambar 3-1, shift right register 6 bit.

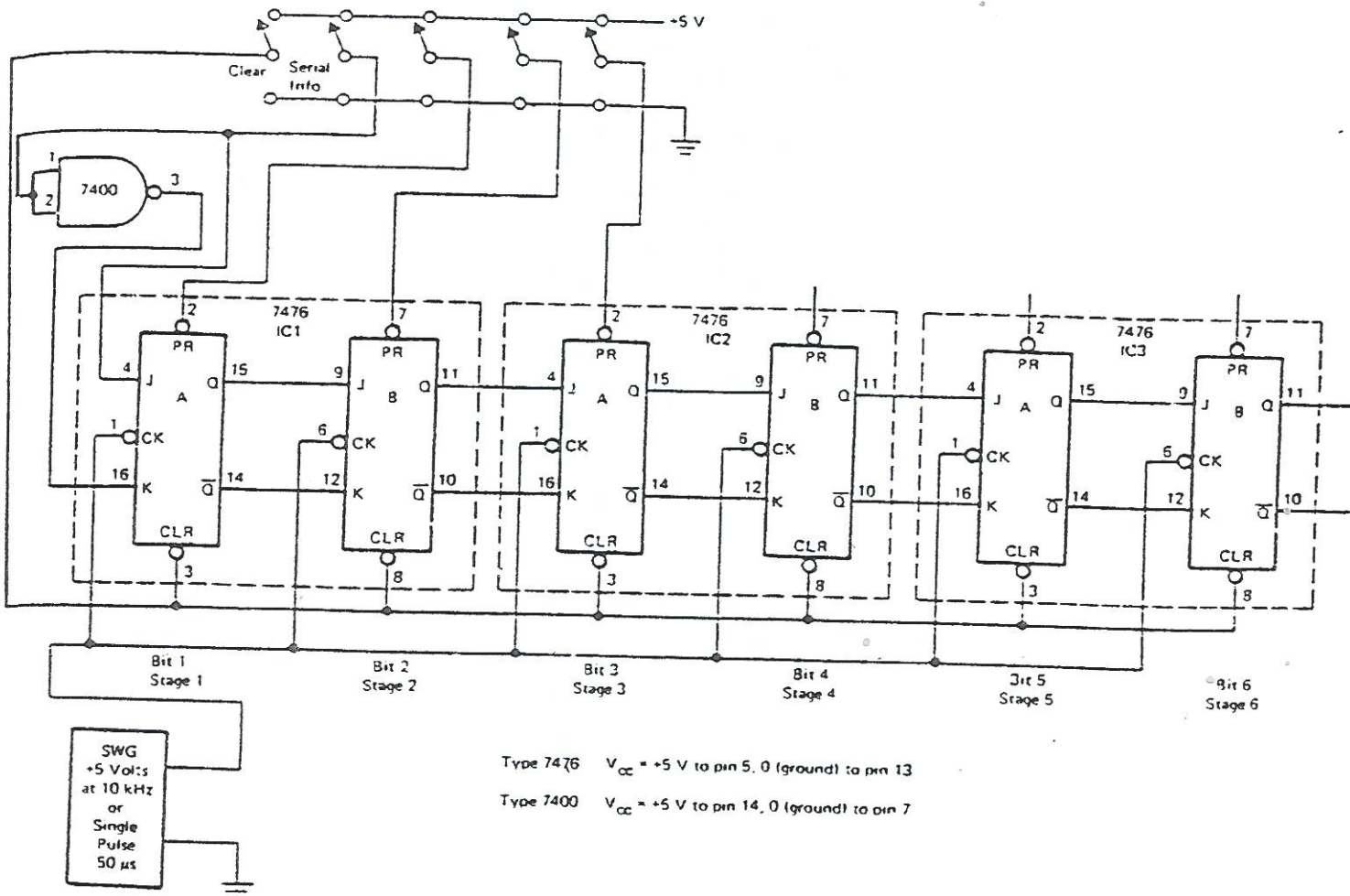
Semua saklar, CLEAR dan FR adalah + 5 V. Saklar informasi serial adalah pada 0.

Set generator pulsa ke pulsa tunggal.

Sekarang clearkan semua informasi dari shift register dengan menghubungkan saklar CLR ke ground dan kemudian mengembalikannya ke + 5 V.

### a. Paralel IN - Serial OUT

Set is ke dalam kedua bit IC 1 dengan menswitch terminal PR yang terhubung ke pin 2 dan 7 dari IC 1 ke ground dan kemudian kembalikan terminal PR ke + 5 V. Sekarang baca tegangan-tegangan pada terminal-terminal Q dari shift register. Mereka harus seharga dengan yang diberikan dalam tabel 3-1 E.



Gambar 3-1. 6-bit shift right shift register.

IC 1		IC 2		IC 3	
Pin 15	Pin 11	Pin 15	Pin 11	Pin 15	Pin 11
≈ +5	≈ +5	0	0	0	0

\* Tabel 3-1 E.

Operasikan generator pulsa di mana pulsa shift satu pulsa pada satu waktu. Setelah tiap pulsa, baca setiap output terminal Q dan lengkapi tabel 3-2 E. Masukkan data satu baris pada satu waktu.

\* Tabel 3-2 E.

Shift Pulse	IC 1		IC 2		IC 3	
	Pin 15	Pin 11	Pin 15	Pin 11	Pin 15	Pin 11
0	+5	+5	0	0	0	0
1						
2						
3						
4						
5						
6						

- b. Ulangi prosedur pendahuluan, clearkan register pertama tetapi set 1s ke dalam FFA dari IC 1 dan FFA dari IC 2. Lengkapi tabel 3-3 E.

\* Tabel 3-3 E.

Shift Pulse	IC 1		IC 2		IC 3	
	Pin 15	Pin 11	Pin 15	Pin 11	Pin 15	Pin 11
0	≈ +5	0	≈ +5	0	0	0
1						
2						
3						
4						
5						

c. Serial IN - Paralel OUT

Clearkan shift register. Dalam bagian ini informasi serial akan di set ke dalam shift register dengan saklar input serial. Set saklar informasi ke tegangan yang ditunjukkan dan kemudian pakai pulsa shift tunggal ke register.

Lanjutkan dengan pemakaian informasi ke dalam register sampai semua informasi telah di set ke dalam register. Baca tegangan-tegangan dan masukkan dalam tabel 3-4 E.

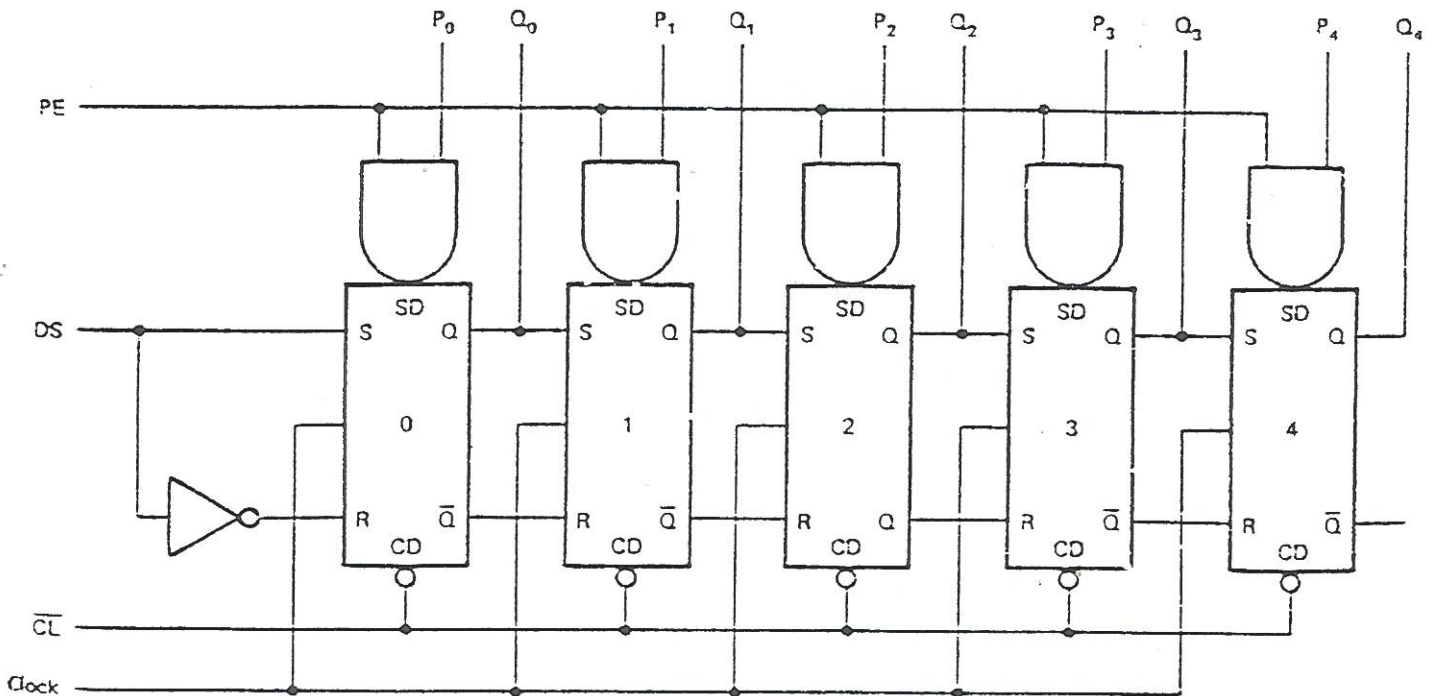
\* Tabel 3-4 E. Serial IN - Paralel OUT.

Serial Information	Shift Pulse Number	IC 1		IC 2		IC 3	
		Pin 15	Pin 11	Pin 15	Pin 11	Pin 15	Pin 11
-	0	0	0	0	0	0	0
+5	1						
0	2						
+5	3						
0	4						
+5	5						
+5	6						

2. Rangkaian Terpadu Shift Register.

Bagian dari percobaan ini menggunakan 7496 shift right shift register 5 bit. Ini berisi 5 master slave R - S flip-flop, yang mempunyai input data serial (DS), kemampuan input data paralel (PE dan P4 sampai P0) dan kemampuan output data serial (Q4). Semua data di clearkan secara bersamaan dengan input  $\bar{C}$ L. Bit-bit secara individu dapat di set melalui individual input Pn yang digerbangkan dengan master input PE (Preset Enable). Gambar 3-2 menunjukkan logik blok diagram dari 7496.

\* Gambar 3-2 7496 . Logik Blok Diagram.



a. Dasar Operasi (Gambar 3-3).

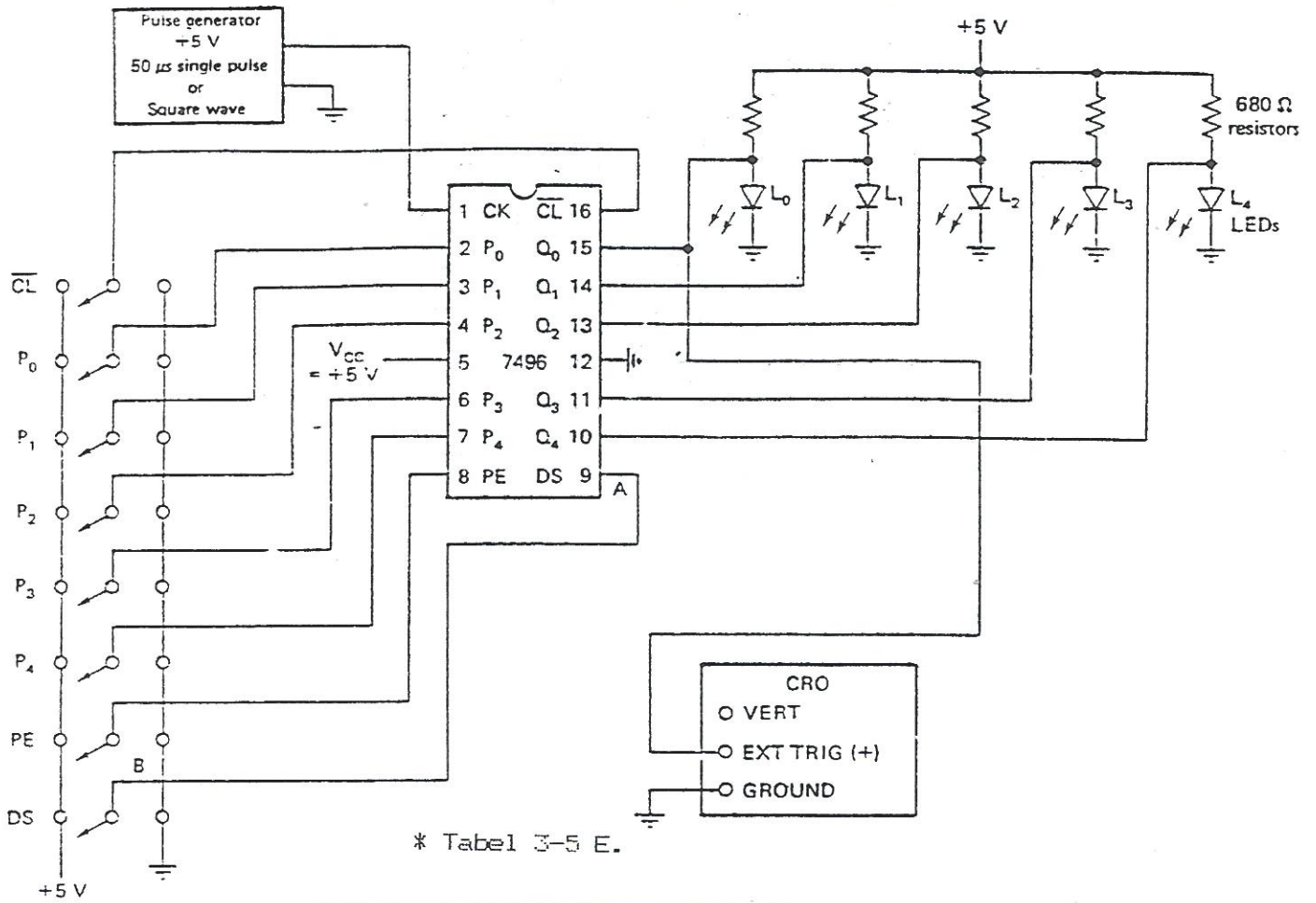
Sebelum pengoperasian shift register 7496, diperlukan untuk memeriksa LEDs koreksi polaritas. Pada hubungan resistor 680 dan tiap-tiap LEDs ada hubungan ke setiap output-output Q (Q4 sampai Q0). Tak terhubungnya satu dari semua hubungan-hubungan ini secara sementara Led ini harus terang. Jika tidak reverse membuatnya menyala. Kemudian ganti hubungan ke Q Output. Ulangi untuk empat Q output lainnya.

Set DS (Serial Data input) ke 0.

Set PE (Master Control input paralel) ke 0.

Clearkan semua bit dengan menghubungkan  $\overline{CL}$  (Clear) input ke 0 dan kemudian ke +5 V. Semua leds harus gelap. Set P0, P1, P2, P3 dan P4 ke +5 V. Set PE ke +5 V. Semua led harus terang. Set P0 sampai P4 ke 0. Set PE ke 0. Set  $\overline{CL}$  ke 0 kemudian ke +5 V. Set P0 dan P1 ke +5 V. Set PE ke +5 V dan kemudian ke 0V. L0 dan L1 harus terang dan L2, L3 dan L4 gelap. Pulsa tunggal generator pulsa, nyalanya Led akan berpindah ke kanan 1 bit. Pulsa tunggal lagi dan lanjutkan sampai semua data telah tergeser ke kanan dari shift register. Set Is lagi ke dalam Q0 dan Q1. Lengkapi tabel 3-5 E untuk shift register 7496. Gunakan L (terang) dan D (gelap).

\* Gambar 3-3. 5 bit shift right shift register.



\* Tabel 3-5 E.

Shift Pulse	$L_0$	$L_1$	$L_2$	$L_3$	$L_4$
0	L	L	D	D	D
1					
2					
3					
4					
5					

b. Tabel Kebenaran - Peredaran shift register

Dalam gambar 3-3, tak terhubungnya kawat AB dari pin 9 7496 ke saklar serial data. Hubungkan sebuah kawat dari pin 9 (DS) 7496 ke pin 10 (Q4) 7496. Ini menimbulkan peredaran shift register. Hal ini terlihat pada gambar 3-4. Sekarang clearkan shift register.

Set 1s ke Q0 dan Q1 dan lengkapi tabel 3-6 E.

\* Tabel 3-6 E.

Shift Pulse	$L_0$	$L_1$	$L_2$	$L_3$	$L_4$
0	L	L	D	D	D
1					
2					
3					
4					
5					
6					
7					

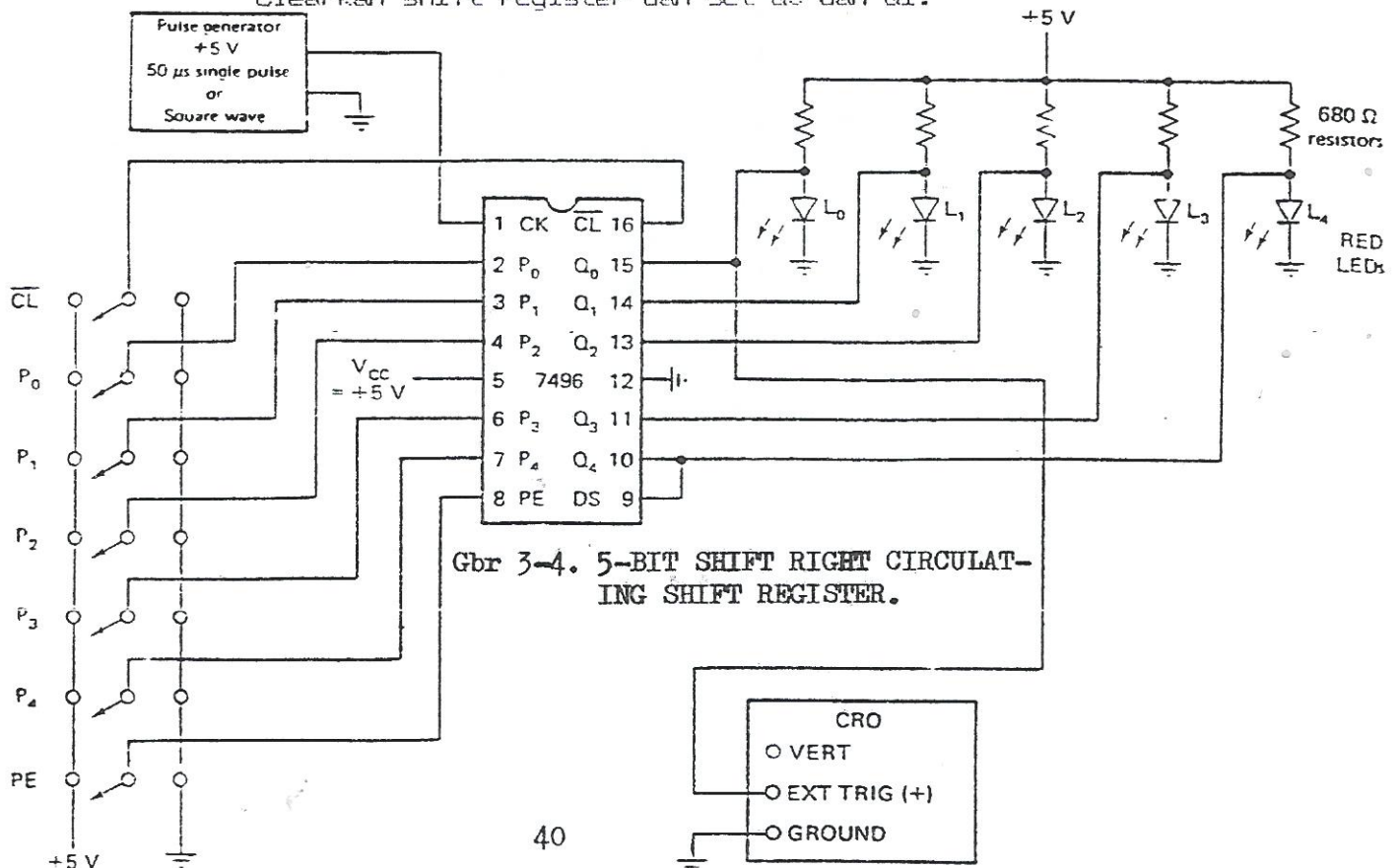
c. Peredaran shift register - Data berderet

Set pulsa generator untuk 1 pulsa per detik (pps), atau operasikan generator pulsa secara manual kira-kira 1 pps dan berdasarkan penglihatan catat perpindahan data sekitar shift register.

d. Peredaran shift register - bentuk gelombang.

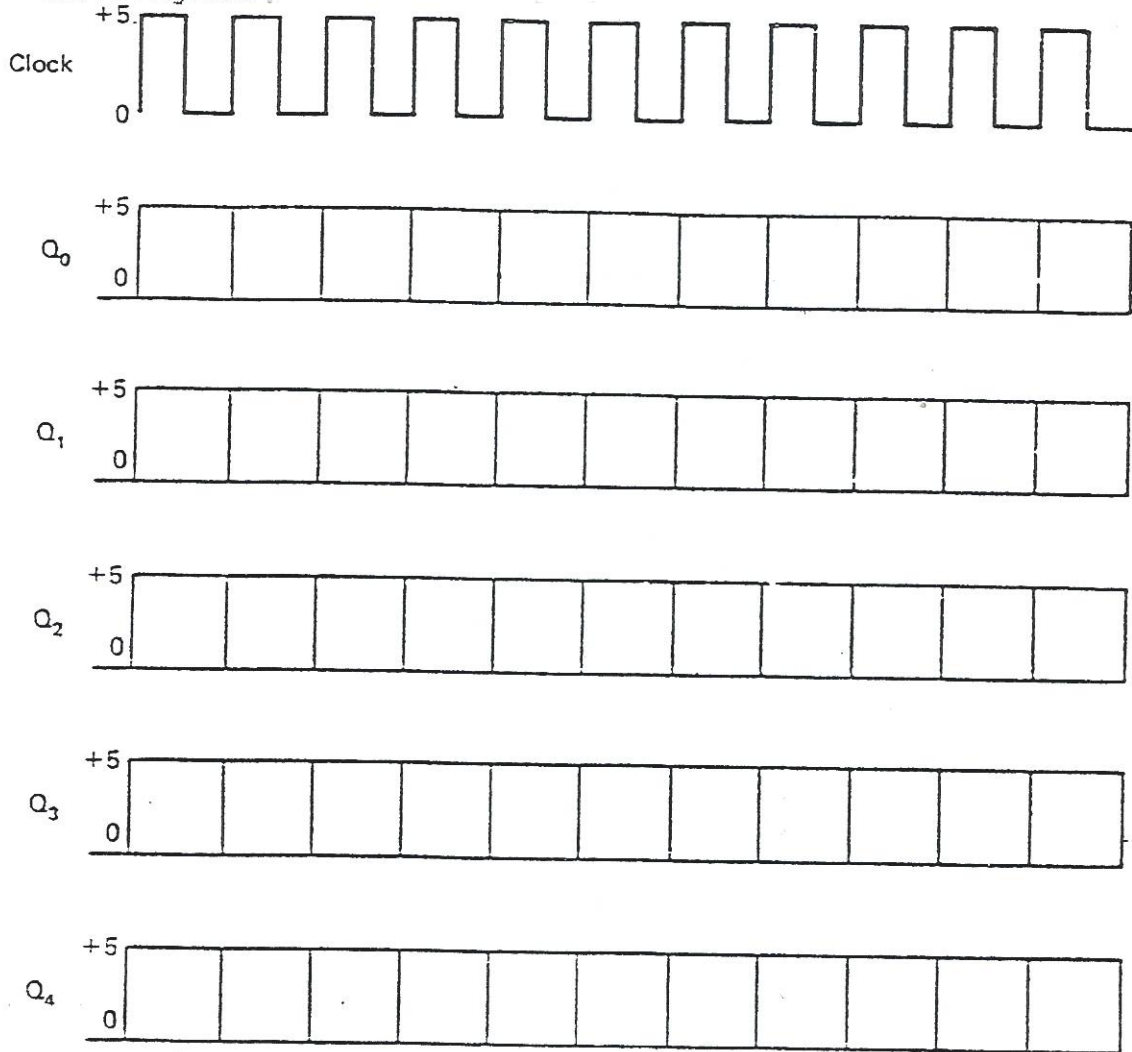
Dalam rangkaian gambar 3-4 hubungkan CRO ke 7496 dengan generator pulsa pada pulsa tunggal. Hubungkan external trigger input ke Q0 (pin 15). Gunakan + slope dan auto trigger (diperlukan untuk memperoleh bentuk gelombang pewaktuan yang relatif tepat).

Clearkan shift register dan set Q0 dan Q1.



Set generator pulsa (clock) 10 kHz gelombang kotak dan set seperti yang ditunjukkan dalam gambar 3-5. Gambar bentuk-bentuk gelombang ( input Vertikal CRO) pada output Q0 sampai Q4 dan rancang pada gambar 3-5.

\* Gambar 3-5. Bentuk gelombang untuk bagian 2 (d) Circulating shift register.



### 3. Quinary Ring Counter (43210) ( Gambar 3-4 )

a. Pengoperasian pulsa tunggal.

Set generator pulsa untuk pulsa tunggal.

Clearkan shift register.

Set Q<sub>0</sub>.

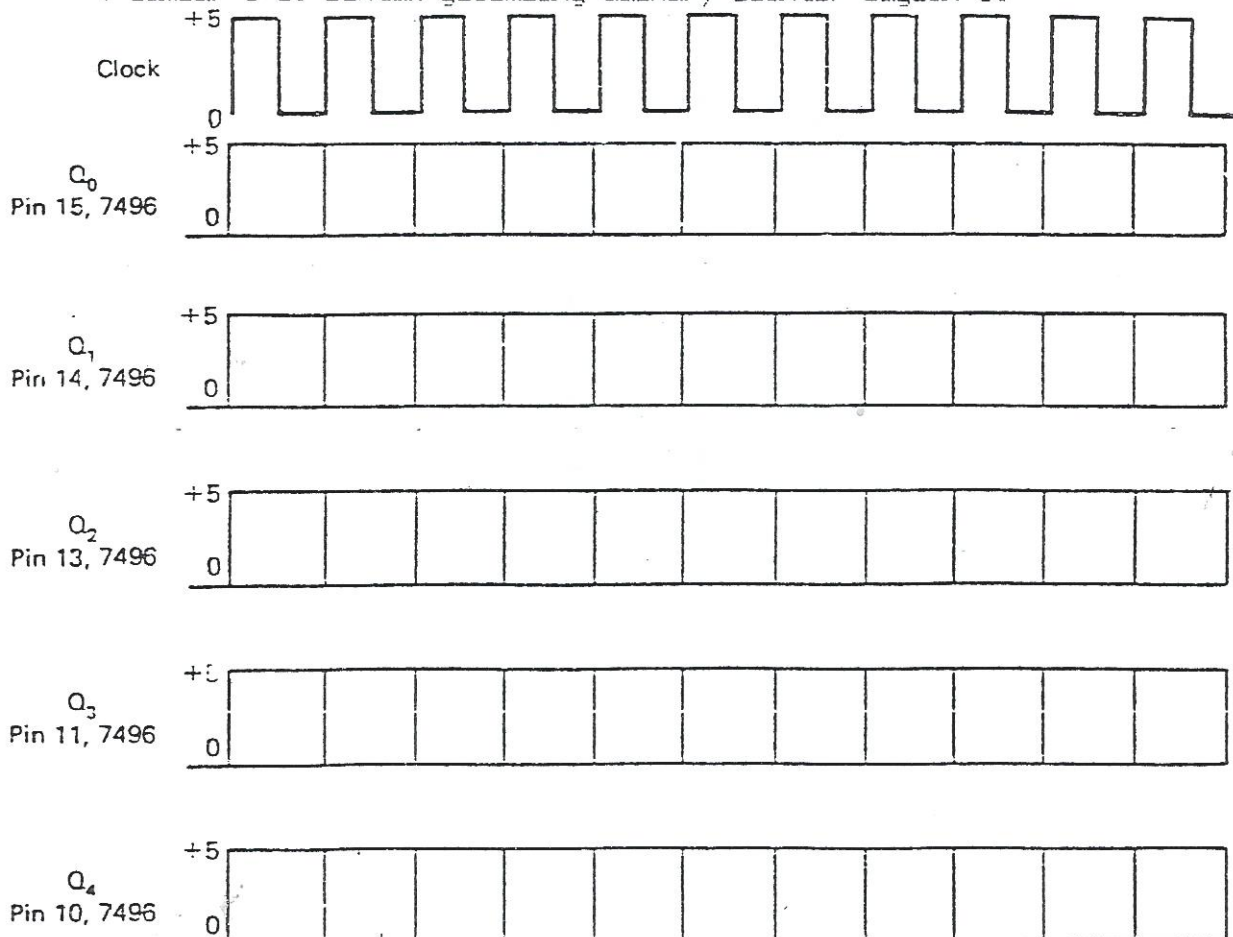
Lengkapi tabel 3-7E menggunakan pengoperasian pulsa tunggal.

Count Pulse	$L_0$	$L_1$	$L_2$	$L_3$	$L_4$
0	L	D	D	D	D
1					
2					
3					
4					
5					
6					
7					

b. Bentuk gelombang

Ubahlah generator pulsa untuk 10 kHz gelombang kotak. Lihat bentuk gelombang pada output output Q dan rancang pada gambar 3-6. Jangan membongkar rangkaian. Rangkaian ini dimodifikasi untuk gambar 3-7 pada bagian 4.

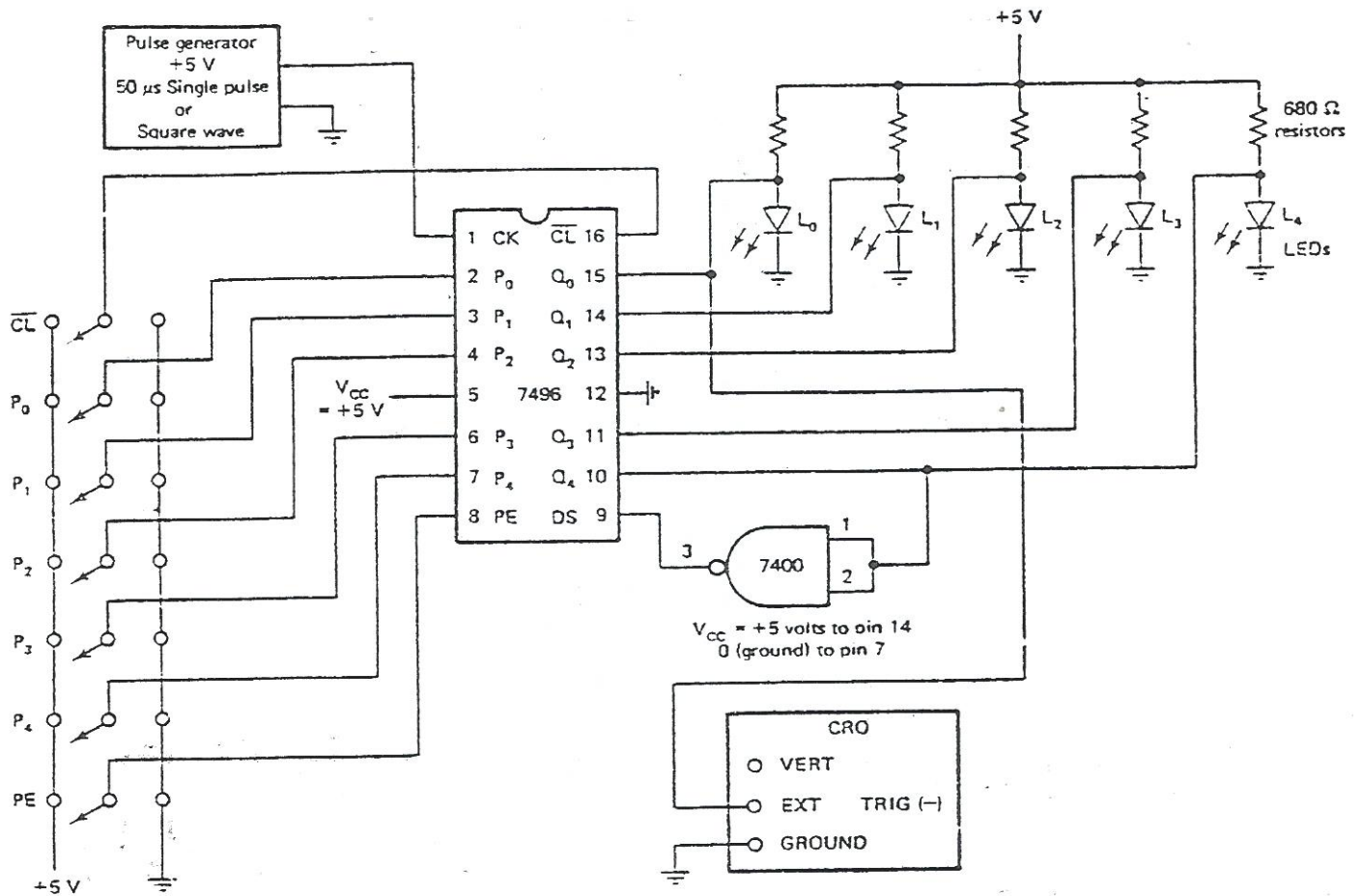
\* Gambar 3-6. Bentuk gelombang Quinary counter bagian 3.





4. Twisted Ring atau Johnson counter (gambar 3-7).

\* Gambar 3-7. Twisted Ring atau Johnson counter.



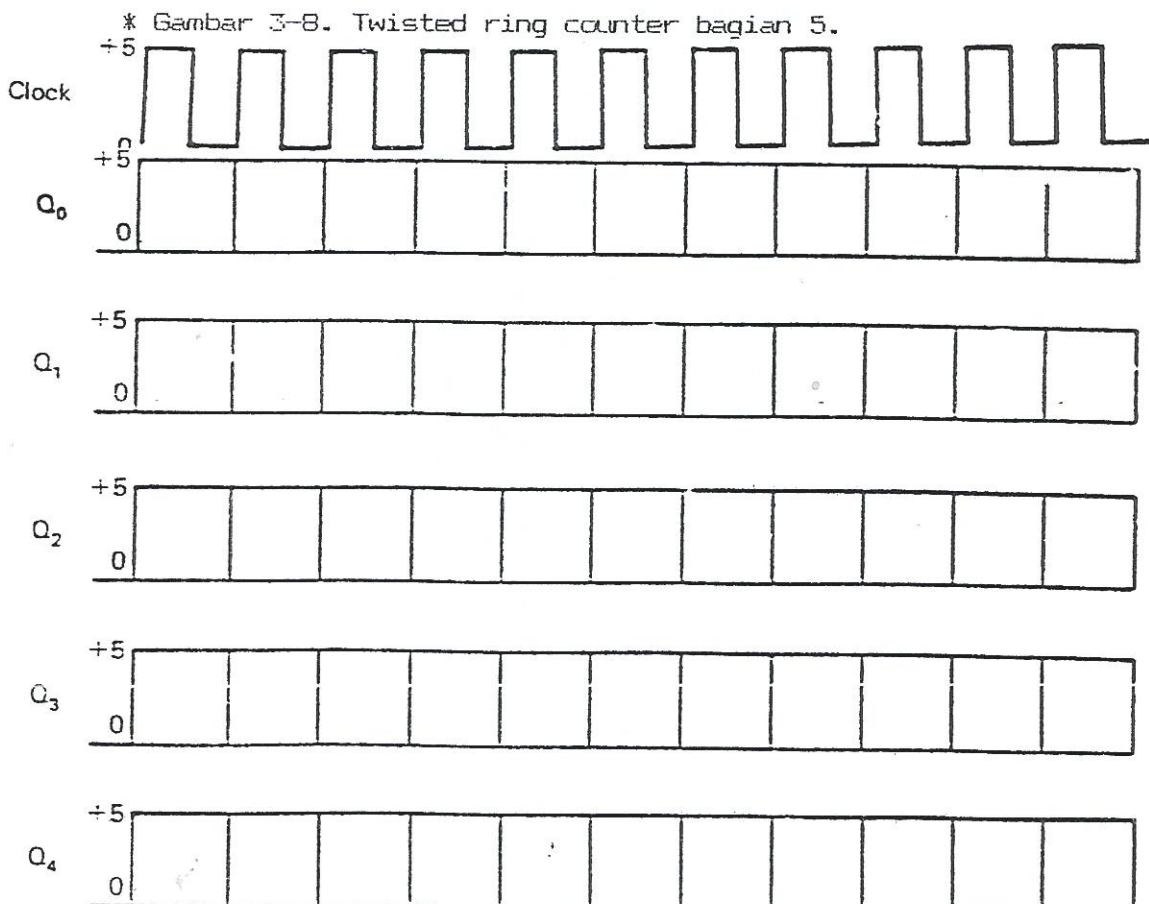
a. Pengoperasian pulsa tunggal

Clearkan counter. Set generator pulsa untuk 1 pps (pengopersian manual) dan berdasarkan penglihatan catat deret data sekitar counter. Set generator pulsa untuk pulsa tunggal.

Clearkan counter. Lengkapi tabel 3-8E seperti pulsa-pulsa tunggal yang dipakai. Gunakan Leds (L dan D) untuk menunjukkan level-level Q.

Count Fulse	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
0	D	D	D	D	D
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					

b. Bentuk Gelombang



Clearkan counter. Ubahlah generator pulsa untuk 10 kHz gelombang kotak (lihat gambar 3-8, clock). EXT trigger dari Q0 (POS SLOPE). Lihat Q0 sampai Q4 dan rancanglah bentuk gelombang pada gambar 3-8.

*REQUIRED RESULTS*

Level-level logik yang dibutuhkan untuk melengkapi tabel gunakan 1s dan 0s. Untuk pengukuran-pengukuran tegangan gunakan logic 1 positif => 2,5 V 0 < 0,5 V. Untuk Leds L = 1, D = 0.

1.a. Lengkapi tabel 3-1R untuk data tabel 3-1E. Gunakan

persamaan-persamaan berikut untuk nomor-nomor bit.

- Bit 1 IC 1A, Q output, pin 15
- Bit 2 IC 1B, Q output, pin 11
- Bit 3 IC 2A, Q output, pin 15
- Bit 4 IC 2B, Q output, pin 11
- Bit 5 IC 3A, Q output, pin 15
- Bit 6 IC 3B, Q output, pin 11

\* Tabel 3-1 R. Paralel input ke 6 bit shift register.

Bit number	6	5	4	3	2	1
Logic level						

Lengkapi tabel 3-2R untuk serial output pada Q output pin 11 IC 3 (bit 6) berdasarkan data tabel 3-2 E.

\* Tabel 3-2 R. Serial output dari 6 bit shift register.

Shift pulse	0	1	2	3	4	5
Logic level						

b. Lengkapi tabel 3-3 Ra untuk paralel input ke 6 bit shift register bagian 1 (b) (tabel 3-3 E, pulsa shift 0)

\* Tabel 3-3 Ra . Paralel input ke 6 bit shift register.

Bit number	6	5	4	3	2	1
Logic level						

Lengkapi tabel 3-3 Rb untuk serial output pada output Q pin 11 IC 3 (bit 6) berdasarkan data tabel 3-3 E.

\* Tabel 3-3 Rb. Serial output dari 6 bit shift register.

Shift pulse	0	1	2	3	4	5
Logic level						

c. Lengkapi tabel 3-4 Ra untuk serial input shift register berdasarkan data bagian 1 (c) dan tabel 3-4 E.

\* Tabel 3-4 Ra. Serial input ke 6 bit shift register.

Shift pulse	1	2	3	4	5	6
Logic level						

Lengkapi tabel 3-4 Rb untuk paralel output shift register berdasarkan data bagian 1 (c) dan tabel 3-4 E (setelah pulsa shift ke 6 ).

\* Tabel 3-4 Rb. Paralel output untuk 6 bit shift register.

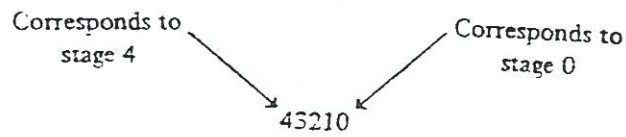
Bit number	6	5	4	3	2	1
Logic level						

2. Lengkapi tabel 3-6 R untuk shift register (7496) bagian 2 (b) pulsa tunggal dan bagian 2 (d) bentuk gelombang.

\* Tabel 3-6 R.

Pulse	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
0					
1					
2					
3					
4					

3.a. Lengkapi tabel 3-7 Ra untuk menghitung keadaan-keadaan Quinary counter (43210 counter) berdasarkan data dari tabel 3-7 E. Counter 43210 adalah bobot 5-bit counter di mana posisi dari 1 corresponden bobotnya ditentukan oleh posisinya. (catatan : posisi 1 dalam kode dan lokasi tingkatan pada gambar 3-2 yang terbalik)



\* Tabel 3-7 Ra.

Count state—quinary counter.

Count Number	Count State
0	00001
1	
2	
3	
4	

b. Gunakan pola gelombang dalam gambar 3-6 untuk bagian 3, lengkapi keadaan tabel, tabel 3-7 Rb, untuk counter 43210. Juga tentukan hitungan untuk tiap baris dengan penambahan bobot untuk tiap keadaan dan tunjukkan ini dalam kolom terakhir.

\* Tabel 3-7 Rb. Keadaan tabel 43210 counter.

Wave Pattern Box	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	Count (obtain from sum of weighted values)
	Weight					
	4	3	2	1	0	
1						
2						
3						
4						
5						

4. Berikan harga-harga keadaan counter untuk twisted ring counter dari bagian 4 dalam tabel 3-8 R, berdasarkan data tabel 3-8 E atau bentuk-bentuk gelombang bagian 4 (b).

\* Tabel 3-8 R. Twisted ring counter - count states.

Count Number	Count State				
	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					

## D I S K U S I

1. Bandingkan tabel 3-1R dengan tabel 3-2 R, tabel 3-3 Ra dengan tabel 3-3 Rb dan tabel 3-4 Ra dengan tabel 3-4 Rb dan jelaskan tentang kemampuan shift register untuk.
  - a. shift data
  - b. Perubah data binary dari paralel ke bentuk serial.
  - c. Perubah data binary dari serial ke bentuk paralel.
2. Berdasarkan pola-pola gelombang pada bagian 2 (d), berapa banyak data dalam Q0 tertunda sampai mereka mencapai Q4 ?
3. 100 bit shift register mempunyai data yang diperkenalkan ke dalamnya dalam bentuk serial. Data digeser dengan pulsa-pulsa shift 50 kHz.
  - a. Berapa lama data ini akan mencapai bit ke 70 ?
  - b. Berapa lama akan melingkupi sirkulasi melalui 100 bit persirkulasian shift register dan muncul dalam bentuk serial lagi pada output?
4. Berdasarkan data bagian 2, apakah keadaan terlarang pada ring counter berlanjut atau apakah ini secara otomatis sampai pada keadaan yang benar ? Terangkan hasil-hasil percobaan untuk mengilustrasikan jawabanmu.
5. Terangkan hubungan antara keadaan counter quinary ring counter tabel 3-7E dan 3-7 Ra dan pola gelombang dari bagian 3 (b) Terangkan bagaimana ini diperlukan untuk mentrigger CRO seperti ditunjukkan untuk memperoleh hubungan yang benar.
6. Ring counter dibuat dengan kesalahan dan ring telah terbuka. Hasil pola-pola CRO yang diperoleh pada bagian 3 (b) tidak dapat diperoleh. Terangkan bagaimana kamu dapat menunjukkan pada tingkat mana ring terbuka dengan menggunakan generator pulsa tunggal.
7. Apa hubungan antara frekwensi input dan frekwensi gelombang yang terlihat pada output-output Q dari ring counter 5 tingkat pada baggian 2 ?
8. Apa hubungan antara frekwensi input dan frekwensi output dan twisted ring counter 5 tingkat?
9. Berapa hubungan sudut fasa antara tingkat yang berturut-turut dari twisted ring counter 5 tingkat ?
10. Rancang bentuk-bentuk gelombang yang diharapkan untuk twisted ring counter 3 tingkat pada Q dan  $\bar{Q}$  output. Berapa frekwensi input akan dibutuhkan untuk memberikan output 60

Hz ? Berapa hubungan fasa pada output Q antara tingkat berturut-turut dari counter ?

11. Terangkan bagaimana shift register dan paralel odder digunakan dalam aritmatik pengoperasian perkalian?



**INTERGRATED - CIRCUIT TIMERS**  
**Dengan 74122, 74121 dan 555.**

**I . Tujuan :**

1. Mempelajari sifat dari 74122 retriggerable monostable multivibrator.
2. Mempelajari sifat dari 74121 monostable multivibrator.
3. Mempelajari sifat dari 555 timer.

**II. Teori Pendahuluan :**

Mempelajari teori dasar dari astable dan monostable multivibrator telah dipelajari dalam percobaan sebelumnya, perkembangan dari IC timer membutuhkan perancang rangkaian dengan block-block diagram dari karakteristik-karakteristik yang telah diperbaiki. Semua timer-timer ini beroperasi dengan cara mengisi dan membuang muatan kapasitor melalui resistor. Ini diperlukan hanya untuk menjumlahkan R dan C untuk menset waktu dari operasi penyederhanaan penjumlahan, beberapa dari IC-IC ini mempunyai waktu interval resistor.

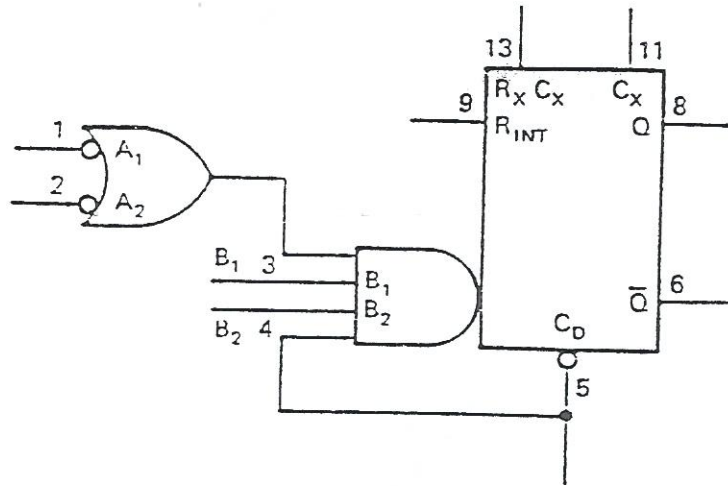
**1. 74122 ( TTL Monostable ).**

Triggering terjadi pada level tegangan tertentu. Input-input edge pulsa trigger positive dan negative-going tersedia. Pada saat dalam keadaan delay, pulsa trigger lainnya digunakan untuk input triggernya, yang akan menyebabkan periode delay ditrigger kembali dan pulsa-pulsa trigger dapat membuat periode delay selama yang diinginkan. Untuk kapasitor-kapasitor external yang lebih besar dari 1000 pF. Lebar pulsa FW diberikan pada persamaan :

$$FW = 0,32 R_x C_x (1,0 + 0,7 / R_x) \text{ (ns)}$$

Dimana  $R_x$  (dalam K ) dan  $C_x$  (dalam pF) adalah resistor dan kapasitor external. FW akan menjadi terminal external pada beberapa waktu dengan sebuah input yang tepat ke input Cd.

Simbol logic untuk 74122 diberikan dalam gambar 4-1.



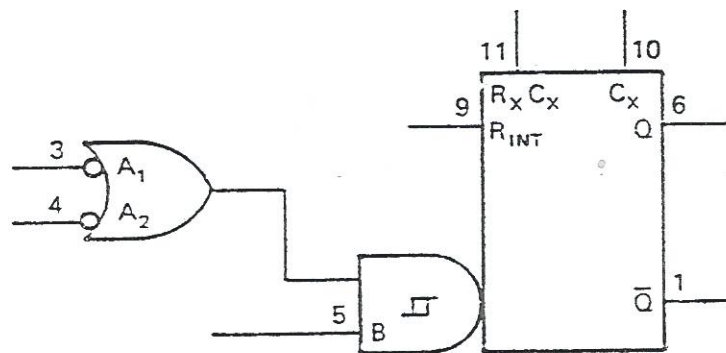
74122 Retrigger Monostable.

2. 74121 ( TTL Monostable ).

Triggering terjadi dengan cara yang sama seperti pada 74122. Sekali waktu triggering terjadi, sebuah internal feedback latch menunjukkan kecacatan rangkaian input trigger dan mencegah trigger kembali ketika pulsa output terjadi. Lebar FW diberikan pada persamaan :

$$FW = 0,69 R_x C_x \text{ (ns)}.$$

Dimana  $R_x$  (dalam K ) dan  $c_x$  (dalam pF) adalah resistor dan kapasitor external. Simbol logik untuk 74121 diberikan dalam gambar 4-2



74121 Monostable.

### 3. 555 Timer (linear).

IC bukanlah suatu TTL IC tetapi didasarkan atas teknologi IC linear. karena itu, itu bukanlah subjek untuk pembatasan tegangan supply TTL, tetapi dapat beroperasi sampai 18 Volt tegangan supply. Kedua operasi monostable dan astable tersedia. Nilai dari timing resistor yang lebih besar (sampai 2,7 M )dapat digunakan untuk membandingkan ke 74121/22, yang terbatas pada 40 K , dan itu mampu menghilangkan arus yang lebih besar dari IC-IC 74121/22. Diantara IC , dua level tegangan diset naik

1 pada  $\frac{1}{3}$  dan  $V_{cc}$  dan  $\frac{2}{3}$   $V_{cc}$  yang berarti 3 resistor 5 K .

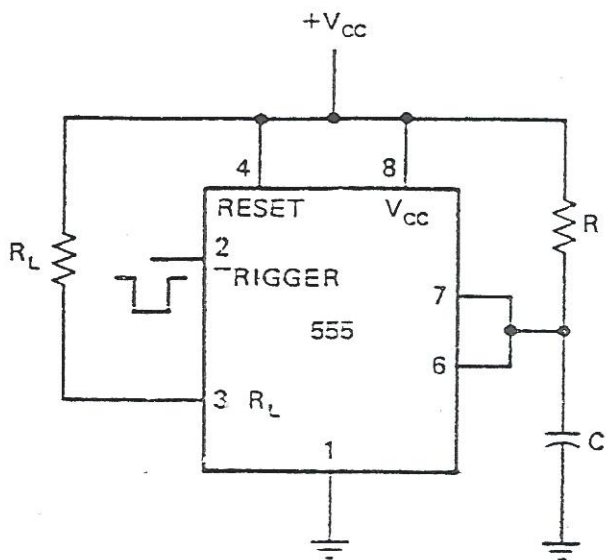
### 4. Monostable Mode.

Sebuah resistor R dan C menentukan waktunya. Negative-going triggering pulsa digunakan untuk input triggernya.

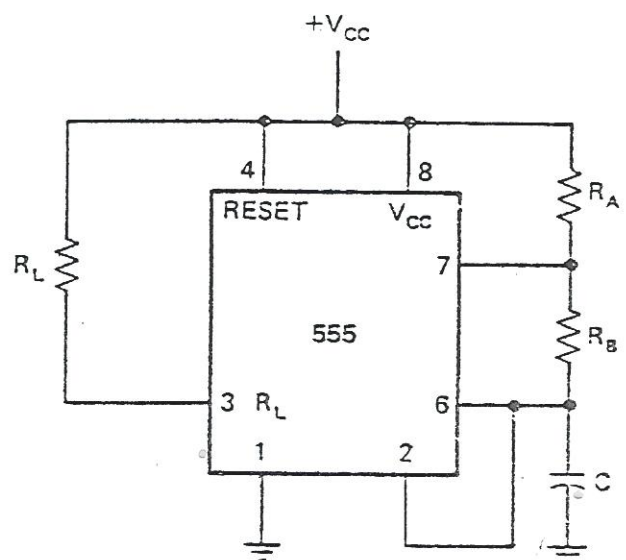
Muatan kapasitor melalui R naik sampai  $\frac{2}{3}$   $V_{cc}$  dan kemudian

dibuang. Lebar pulsa diberikan pada persamaan, dimana R dalam ohm C dalam F.

$$FW = 1,1 R C \text{ (s)}$$



555 Monostable



555 Astable

### 5. Astable Mode .

Pada model astable rangkaian mentrigger sendiri kembali. Dua resistor, Ra dan Rb digunakan. Waktu kapasitor

2

mengisi melalui  $R_a$  dan  $R_b$  pada  $-V_{cc}$  dan membuang melalui  $R_b$  pada  $-V_{cc}$ , dimana rangkaiananya ditrigger kembali. Waktu pengisian  $T_1$  (output tinggi) diberikan pada persamaan ( $R_a$  dan  $R_b$  dalam Ohm,  $C$  dalam Farad).

$$T_1 = 0,693 (R_a + R_b) C \quad (s)$$

Waktu pembuangan  $T_2$  (output rendah) diberikan pada persamaan .

$$T_2 = 0,693 (R_b) C \quad (s)$$

Waktu satu putaran total diberikan pada persamaan.

$$T = T_1 + T_2 = 0,693 (R_a + 2R_b) C \quad (s)$$

Frekuensi  $f$  diberikan pada persamaan.

$$f = \frac{1}{T} \quad (Hz)$$

Putaran  $D$  yang seharusnya diberikan pada persamaan.

$$D = \frac{\text{Waktu (output rendah)}}{\text{Jumlah total waktu.}}$$

$$D = \frac{T_2}{T_1 + T_2} = \frac{R_b}{2R_b + R_a}$$

### III. Alat-alat percobaan :

- . CRO, dc kopel dan kalibrasi
- . Power supply dc +5 V pada 50 mA
- . IC tipe 7404 hexinverter.
- . IC tipe 74121 monostable multivibrator.
- . IC tipe 74122 ritriggerable resettable multivibrator.
- . IC tipe 555 timer.
- . SWG +5 V pada (100-10 K) Hz atau 50 us pulsa tunggal.
- . Capacitor, 1 uF, tantalum.
- . Capacitor, 10 uF, tantalum.
- . Capacitor, 100 uF, tantalum.
- . Resistor, (1k, 27K, 1m, 470 ) Ohm
- . LED merah ; switch bank.

Type	Motorola	Fairchild	Texas Instruments	National Semiconductor	Signetics
555	MC1555 MC1455	NE555	SN72555	LM555 LM555C	555
7404	MC7404P MC7404L	7404PC 7404DC	SN7404N SN7404J	DM7404N	
74121	MC74121P MC74121L	74121PC 74121DC	SN74121N SN74121J	DM74121N	N74121
74122	MC74122P MC74122L	74122PC 74122DC	SN74122N SN74122J	DM74122N	N74122

IV. Prosedur Percobaan :

1. 74122 (gambar 4-4)

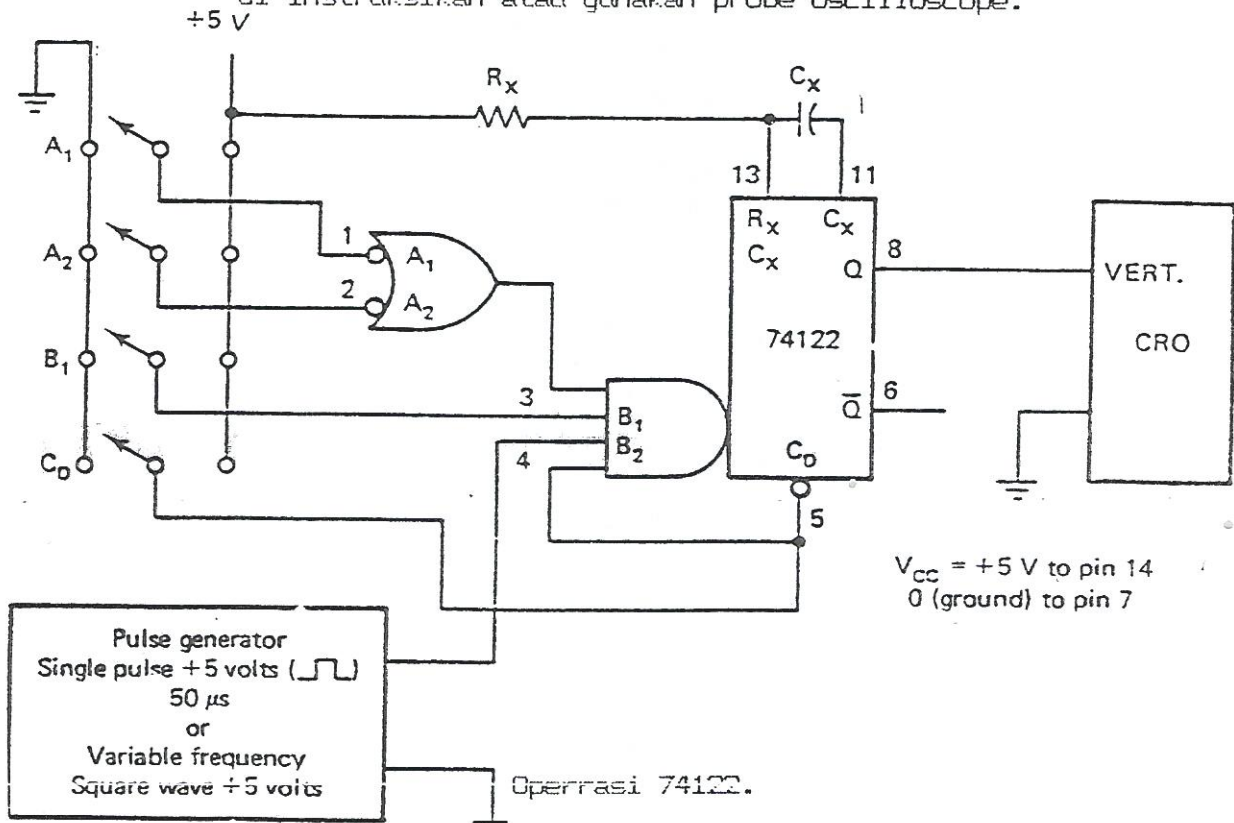
$R_x = 27 \text{ K}$

$C_x = 1 \text{ }\mu\text{F}$

A1 dan A2 ke 0

B1 dan Cd ke +5 V.

Seharusnya 74122 diangkat (gagal dioperasikan), isolasi CRO diperlukan. Selain itu ikuti petunjuk prosedur yang di instruksikan atau gunakan probe oscilloscope.



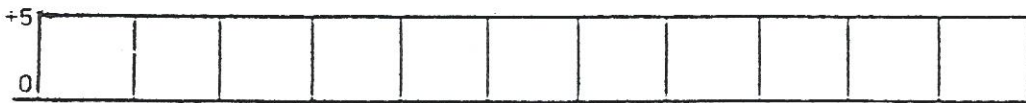
(a).Gunakan persamaan , hitung perkiraan FW.

Set penyapu horisontal CRO, kemudian CRO akan menunjukan FW ini kurang lebih setengah dari lebar layar

horizontal. Set pulsa generator ke pulsa tunggal (50  $\mu$ s) dan gunakan tunggal untuk mentrigger 74122. Ukur lebar pulsa yang terjadi dengan menggunakan level kontrol trigger CRO untuk menunjukkan pulsa output lainnya pada posisi dengan CRO, yang dimulai pada sisi kiri dari display. Ini lebih dulu dikerjakan oleh level kontrol sampai pulsa output diperlihatkan dengan cara ini.

FW = .....

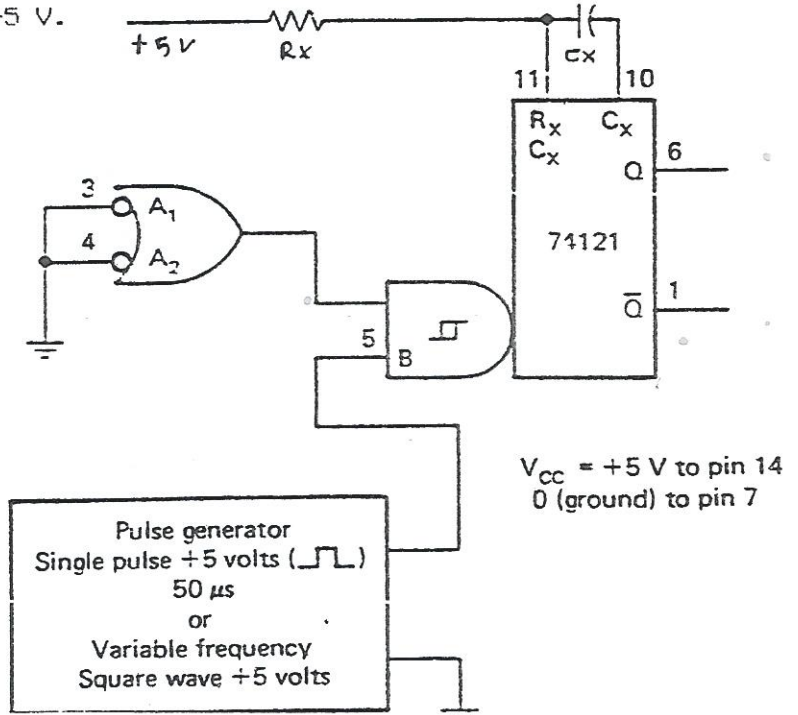
- (b). Set penyapu horizontal kemudian pulsa ditunjukkan dengan suatu lebar yang kira-kira satu divisi garis horizontal. Set level kontrol trigger ke AUTO. Ganti pulsa generator ke gelombang Squar 10 kHz. Gambar Q output pada gambar.



Bentuk gelombang 74122.

- (c). Kurangi frekuensi pulsa generator sampai output q nya saja yang mulai mempunyai bagian 0 V. Catat frekuensi yang terjadi. F = .....
- (d). Kurangi frekuensi pulsa generator sampai output Q nya kira-kira mendekati gelombang squar.
1. Rubahlah Cd ke 0 V apa akibatnya.
  2. Kembali Cd ke +5 V hubungkan B1 ke 0 V.
  3. Kembali Bi ke +5 V hubungkan A1 ke +5 V kemudian hubungkan A2 ke +5 V.

2. 74121  
 $R_x = 27 \text{ K}$   
 $C_x = 1 \mu\text{F}$   
 A1 dan A2 ke 0

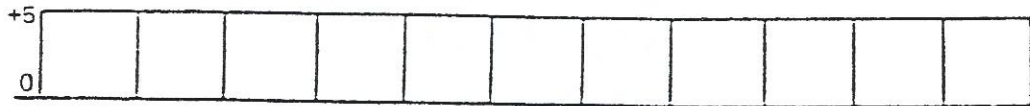


\* lihat keterangan untuk isolasi CRO 74122.

- (a).Gunakan persamaan untuk menghitung perkiraan FW.  
Set Penyapu tunggal horisontal CRO, kemudian CRO akan menunjukkan FW ini kurang lebih setengah dari layar horisontal. Pada saat pulsa tunggal diperlihatkan (50 us), Ukur lebar pulsa FW seperti pada bagian 1(a).

FW = .....

- (b).Set penyapu horisontal, kemudian lebar pulsa yang diperlihatkan kira-kira satu divisi garis horisontal. Set kontrol level trigger ke AUTO. Rubah pulsa generator ke gelombang squar 10 kHz. Gambar output Q pada gambar.



Bentuk gelombang 74121

- (c). Rubah Cx ke 10 uF dan seperti pada bagian 2(a), gunakan gelombang-gelombang tunggal, ukurlah lebar pulsanya.

FW = .....

- (d). Rubah Cx ke 100 uF dan ukur lebar pulsanya.

FW = .....

### 3. 555 Timer.

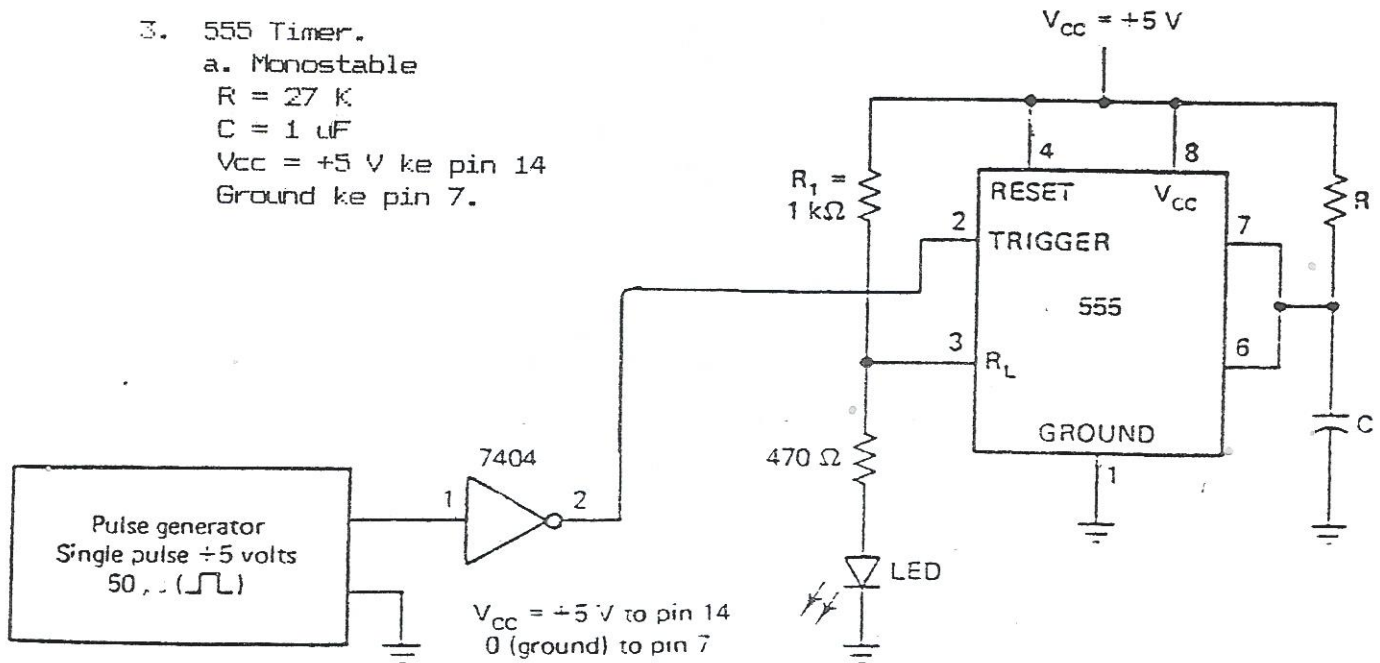
#### a. Monostable

$R = 27 \text{ K}$

$C = 1 \text{ uF}$

$V_{CC} = +5 \text{ V}$  ke pin 14

Ground ke pin 7.

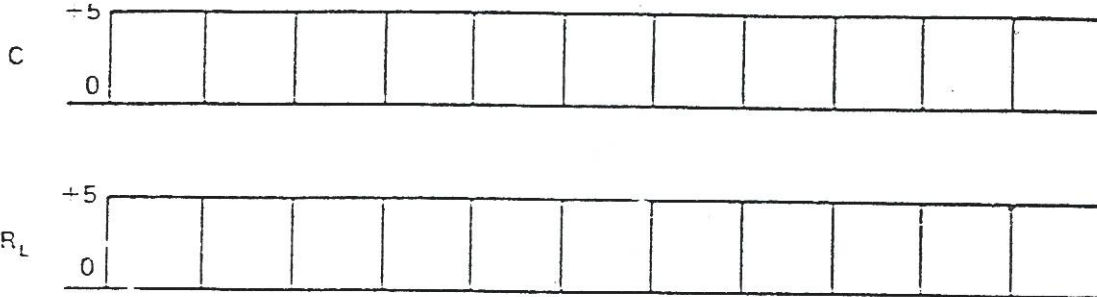


Operasi Monostable 555

Ikuti prosedur dari bagian 1(a) persamaan 3, hitung dan ukur FW tanpa R1.

FW = .....

Hubungkan CRO tanpa C dan gambar bentuk gelombangnya. (Catt : Gunakan trigger external pada external CRO dari terminal output dari 555 pin 3). Gambar outputnya tanpa R1 juga.

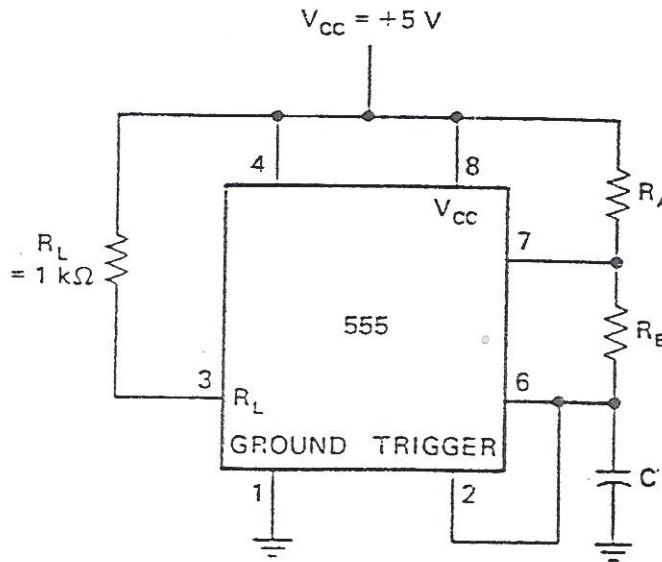


Bentuk gelombang Monostable 555.

- b. Monostable  
 $R = 1 \text{ M}$   
 $C = 10 \text{ uF}$   
 Ukur FW dengan menggunakan waktu cahaya LED.

FW = .....

- c. Astable  
 $R_a = 27 \text{ K}$   
 $R_b = 10 \text{ K}$   
 $C = 1 \text{ uF}$



Operasi Astable 555.

Gambar bentuk gelombang output tanpa R1 dan bentuk gelombang tanpa C. Bentuk-bentuk gelombang akan

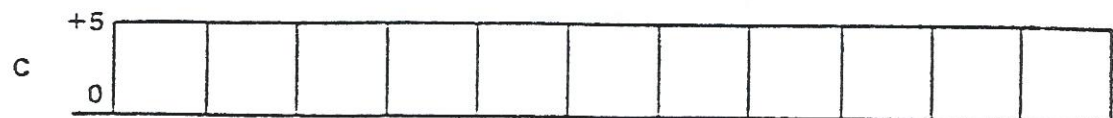
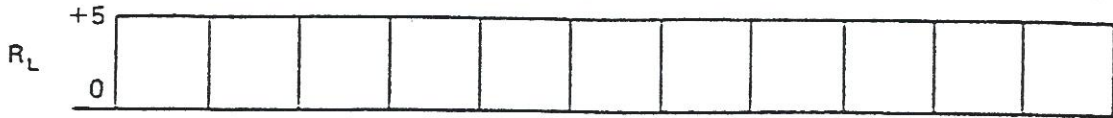


memperlihatkan waktu dan level tegangan.

T1 (tinggi) = .....

T2 (rendah) = .....

T = .....



Bentuk gelombang Astable 555.

Hasil Prercobaan :

Tabel Monostable.

Part	IC	$R_x$	$C_x$	PW Computed	PW Measured	Percent Difference
1(a)	74122	27 k $\Omega$	1 $\mu$ F			
2(a)	74121	27 k $\Omega$	1 $\mu$ F			
2(c)	74121	27 k $\Omega$	10 $\mu$ F			
2(d)	74121	27 k $\Omega$	100 $\mu$ F			
3(a)	555	27 k $\Omega$	1 $\mu$ F			
3(d)	555	1 M $\Omega$	10 $\mu$ F			

Tabel 555 Astable- bag 3(c).

	<i>Computed</i>	<i>Measured</i>	<i>Percent Difference</i>
T (high)			
T (low)			
T			
f			
D			

Pertanyaan :

1. Diskusikan hasil dari tabel Monostable dan astable yang berhubungan dengan perbedaan antara perhitungan dan hasil pengukuran.
2. Diskusikan pola (rumus) gelombang pada bagian 1(b) dan 1(c). Apakah hubungan antara frekuensi yang berada pada  $\phi$  dan FW ?.
3. Bandingkan bentuk gelombang pada pulsa input generator 10 kHz untuk 74122 (bag.1(b)) dan 74121 (bag. 2b), dan terangkan perbedaanya.
4. Selain itu gunakan pulsa generator dari gambar 4-4 dan 4-6 dengan input ke terminal A, perlu ditempatkan sebuah inverter antar pulsa generator dan terminal A.Terangkan!
5. Berdasarkan pada diagram logic 74122 pada gambar 4-1 dan data experiment anda, pada bag. 1(d) terangkan operasi dari input A1,A2,B1 dan Cd.  
Dapatkan anda membuat aplikasi untuk input ini ?.