

**BIDANG PENDIDIKAN DAN PENGAJARAN**  
**BERITA ACARA PERKULIAHAN**  
**KULIAH OFF-LINE**

**PERIODE SEMESTER GENAP 2022-2023**

MATA KULIAH:

**SISTEM DIGITAL KLAS A**

*LAMPIRAN BERITA ACARA PERKULIAHAN :*

- 1. SK.DEKAN FSTI SEMESTER GENAP 2022/2023*
- 2. PRESENSI KEHADIRAN MAHASISWA & DOSEN*
- 3. CONTOH HAND OUT MATERI AJAR*
- 4. NILAI KOMULATIF; KEHADIRAN,TUGAS, UTS DAN UAS*

**PROGRAM STUDI FISIKA**  
**FAKULTAS SAINS & TEKNOLOGI INFORMASI**  
**INSTITUT SAINS DAN TEKNOLOGI NASIONAL**



YAYASAN PERGURUAN CIKINI  
INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640  
Telp. 021-7270090 (hunting), Fax. 021-7866955, hp: 081291030024  
Email : humas@istn.ac.id Website : www.istn.ac.id

**SURAT PENUGASAN TENAGA PENDIDIK**

Nomor : 086/ 03.1 – I / III/ 2023

SEMESTER GENAP , TAHUN AKADEMIK 2022/2023

Nama	:Ir. Eddy Supriady, MT	Status Pegawai	:Tetap
NIK	:22870030	Program Studi	:Teknikelektro
Jabatan Akademik	:Lektor Kepala		

Bidang	Perincian Kegiatan	Tempat	Hari/Jam	Kredit (sks)	Keterangan
I PENDIDIKAN DAN PENGAJARAN	<b>MENGAJAR DI KELAS (KULIAH/RESPONSI DAN LABORATORIUM)</b>				
	1. Elektronika Dasar 2	Fisika	Kamis/10.00-11.40	2	
	2. Sistem Digital	Fisika	Rabu/10.00-11.40	2	
II PENELITIAN	1.				
	2.				
II PENGABDIAN DAN MASYARAKAT	1.				
	2.				
	3.				
IV UNSUR-UNSUR PENUNJANG	1.				
	2.				
<b>Jumlah Total</b>				<b>4</b>	

Kepada yang bersangkutan akan diberikan gaji/honorarium sesuai dengan peraturan pengajian yang berlaku di Institut Sains dan Teknologi Nasional. Penugasan ini berlaku tanggal 20 Maret 2023 sampai dengan 31 Agustus 2023.

Jakarta, 20 Maret 2023

Dekan,





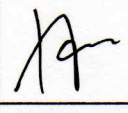


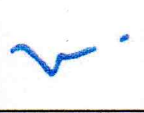
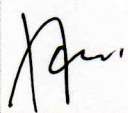


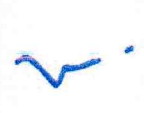
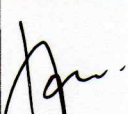



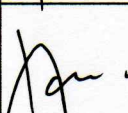

(Marhaeni S.Kom., M.Kom.)

Tembusan :

1. Direktur Akademik-ISTN
2. Direktur Non Akademik-ISTN
3. Ka. Biro sumber Daya Manusia-ISTN
4. Ka. Program Studi Fisika
5. Arsip



**Berita Acara Perkuliahan**  
**(Presentasi Kehadiran Dosen)**  
**SEMESTER GENAP TAHUN AKADEMIK 2022/2023**  
**PROGRAM STUDI TEKNIK FISIKA S1 FSTI - ISTN**



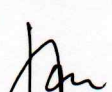







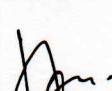

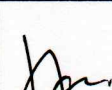

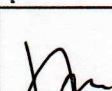

Nama Dosen		: 1. Taufik Hidayat Soi, ST.MT. 2. Ir. Edy Supriyadi, MT			Hari		: Rabu/Kamis	
Mata Kuliah		: Sistem Digital			Jam		: 10.00-11.40	
Kelas		: A			Ruang		: A-2	
No.	Hari / Tanggal	Materi Pembelajaran	Metode Belajar	Jml Mhs	Paraf Dosen			
1	Kamis / 24-03-2023	Pendahuluan; Orientasi mata kuliah Sistem Digital, penjelasan system penilaian	Tatap Muka ke-1	1				
2	Kamis / 30-03-2023	Sistem Bilangan	Tatap Muka ke-2	1				
3	Rabu / 05-04-2023	Operasi Sistem Bilangan	Tatap Muka ke-3	1				
4	Rabu / 12-04-2023	Gerbang Logika Dasar	Tatap Muka ke-4	1				
5	Rabu / 19-04-2023	Aljabar Boolean	Tatap Muka ke-5	1				
6	Rabu / 26-04-2023	SUM Of Product ( SOP )	Tatap Muka ke-6	1				
7	Kamis / 04-05-2023	Product Of Sum ( POS )	Tatap Muka ke-7	1				
8	Kamis / 11-05-2023	UJIAN TENGAH SEMESTER GENAP 2223	Ujian UTS	1				

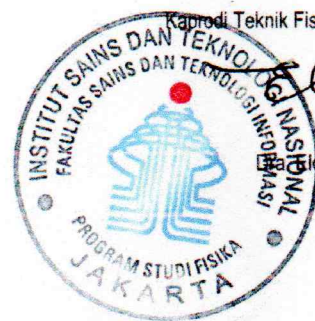


Kaprodik Teknik Fisika S1 FSTI ISTN  
  
 Taufik H. Soi, MSc



**Berita Acara Perkuliahan**  
**(Presentasi Kehadiran Dosen)**  
**SEMESTER GENAP TAHUN AKADEMIK 2022/2023**  
**PROGRAM STUDI TEKNIK FISIKA S1 FSTI - ISTN**

Nama Dosen		: 1. Taufik Hidayat Soi, ST.MT. 2. Ir. Edy Supriyadi, MT			Hari		: Rabu/Kamis	
Mata Kuliah		: Sistem Digital			Jam		: 10.00-11.40	
Kelas		: A			Ruang		: A-2	
No.	Hari / Tanggal	Materi Pembelajaran	Metode Belajar	Jml Mhs	Paraf Dosen			
9	Kamis / 25-05-23	Flip Flop	Tatap Muka ke-9	1				
10	Rabu / 31-05-23	Flip Flop 2	Tatap Muka ke-10	1				
11	Rabu / 14-06-23	Register	Tatap Muka ke-11	1				
12	Rabu / 21-06-23	Aritmatika 1	Tatap Muka ke-12	1				
13	Rabu / 05-07-23	Aritmatika 2	Tatap Muka ke-13	1				
14	Rabu / 12-07-23	Memory 1	Tatap Muka ke-14	1				
15	Kamis / 20-07-23	Memory 2	Tatap Muka ke-15	1				
16	Kamis / 27-07-23	UJIAN AKHIR SEMESTER GENAP 2223	Ujian UAS	1				



Kaprodik Teknik Fisika S1 FSTI ISTN



M. Al-Haib, MSc



DAFTAR HADIR PESERTA KULIAH MAHASISWA  
GENAP - REGULER - TAHUN 2022/2023

FAK / JURUSAN  
MATAKULIAH  
KELAS / PESERTA  
KURIKULUM  
DOSEN

Fisika S1  
Sistem Digital (P) / 326101 / 6  
A / 1  
2018  
1. Taufik Hidayat Soi, ST., MT.  
2. Boy Supriyadi, MT

HARI / TANGGAL Kamis  
JAM KULIAH 13:00-15:30  
RUANG A-1

Hal : 1 / 1

No	N I M	NAMA MAHASISWA	TANGGAL PERTEMUAN								JUMLAH
			$\frac{24}{3}$	$\frac{23}{3}$	$\frac{30}{3}$	$\frac{5}{4}$	$\frac{12}{4}$	$\frac{19}{4}$	$\frac{26}{4}$	$\frac{4}{5}$	
1	20320002	MAULANA FAJRI SETIAWAN	Mud	Mud	Mud	Mud	Mud	Mud	Mud	Mud	8

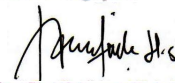
CATATAN :

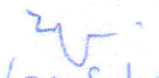
Perubahan peserta hanya diperkenankan bila ada persetujuan tertulis dari Pelaksana Jurusan.

6/7/2023

Jakarta, .....

Dosen Pengajar,

  
( Taufik Hidayat Soi, ST., MT. )

  
( Boy Supriyadi, MT. )



**DAFTAR HADIR PESERTA KULIAH MAHASISWA  
GENAP - REGULER - TAHUN 2022/2023**

FAK / JURUSAN  
MATAKULIAH  
KELAS / PESERTA  
KURIKULUM  
DOSEN

Fisika S1  
Sistem Digital (P) / 326101 / 6  
A / 1  
2018  
1. Taufik Hidayat Soi, ST., MT.  
2. Eoy Supriyanti, MT

HARI / TANGGAL Kamis  
JAM KULIAH 13:00-15:30  
RUANG A-1

Hal : 1 / 1

No	N I M	NAMA MAHASISWA	TANGGAL PERTEMUAN							JUMLAH	
			25/5	31/5	14/6	21/6	5/7	12/7	20/7		27/23/7
1	20320002	MAULANA FAJRI SETIAWAN	Mud	Mud	Mud	Mud	Mud	Mud	Mud	Mud	8

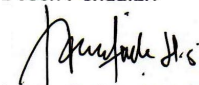
**CATATAN :**


Perubahan peserta hanya diperkenankan bila ada persetujuan tertulis dari Pelaksana Jurusan.

6/7/2023

Jakarta, ..... 24/6/23

Dosen Pengajar.

  
( Taufik Hidayat Soi, ST., MT. )

  
( Eoy Supriyanti, MT )



DAFTAR NILAI KOMPETENSI  
SEMESTER GENAP - REGULER - TAHUN 2022/2023

FAK / JURUSAN : Fisika S1  
MATAKULIAH : Sistem Digital (P) / 326101  
KELAS : A  
PESERTA : 1  
JADWAL UJIAN :  
DOSEN : 1. Taufik Hidayat Soi, ST., MT.  
2. Eddy Supriyadi, Ir. MT

Hal : 1 / 1.

No	N I M	NAMA MAHASISWA	KOMPONEN NILAI ANGKA						NILAI AKHIR	
			UTS 30%	UAS 40%	MODEL 0%	PRESENTASI 0%	TUGAS 15%	ABSEN 15%	ANGKA 100%	HURUF
1	20320002	MAULANA FAJRI SETIAWAN	80	75	0	0	60	100	78	A-

REKAPITULASI NILAI	
A	1
B	0
C	0
D	0
E	0

Jakarta, 09 Agustus 2023  
Dosen Pengajar,

1. Taufik Hidayat Soi, ST., MT.

2. Eddy Supriyadi, Ir. MT. )

## **MODUL PERKULIAHAN**

# **ELEKTRONIKA DASAR 2**

## **FLIP FLOP Bagian 2**

### **Abstract**

Modul ini membahas tentang Flip Flop

### **Kompetensi**

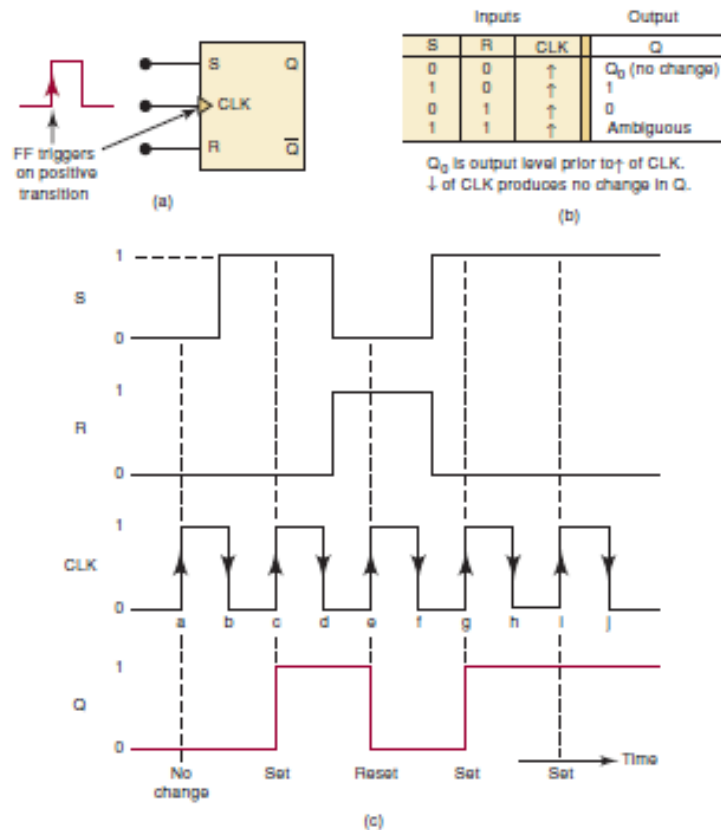
- Mahasiswa diharapkan memahami flip flop

-



# Jenis jenis Flip Flop

## CLOCKED S-R FLIP-FLOP



**Gambar 7.1 RS Flip Flop**

Gambar 7.1 a

Merupakan symbol dari clocked S-R Flip Flop, ditrigger oleh Positive going edge dari sinyal clock. Berarti FF dapat merubah statenya hanya pada saat sebuah sinyal diberikan ke clock inputnya dan membuat transisi dari 0 ke 1.

Gambar 7.1 b

Tabel kebenaran yang menunjukkan bagaimana FF output akan memberikan respon ke PGT pada CLK Input untuk berbagai kombinasi input S dan R.

- Up arrow menunjukkan bahwa PGT diperlukan pada saat CLK
- Label menentukan level pada Q sebelumnya ke PGT

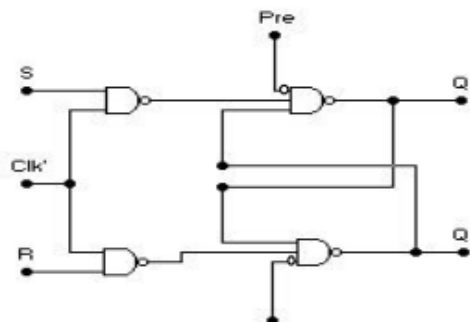
.Gambar 7.1 c

- Gelombang digital yang memperlihatkan operasi dari clocked RS flip flop.
- Analisa gelombang
  - Pada awalnya semua input adalah 0 dan output Q diasumsikan sebagai 0, sehingga  $Q_0 = 0$
  - Pada saat PGT pulsa clock pertama terjadi (point a), input S dan R = 0, sehingga FF tidak mempengaruhi dan tetap pada posisi  $Q=0$  ( $Q=Q_0=0$ )
  - Pada saat PGT terjadi pada pulsa clock kedua (point c), input S menjadi HIGH, dan R tetap LOW. FF menset state 1 pada rising edge dari pulsa clock ini
  - Pada saat pulsa clock ketiga membuat transisi positif (point e), dan  $S=0$   $R=1$ , sehingga menyebabkan FF menjadi clear ke state 0.
  - Pulsa keempat menset FF sekali lagi ke state  $Q=1$  (point g) karena  $S=1$ ,  $R=0$  pada saat Positive edge occurs.
  - Pulsa kelima mendapatkan  $S=1$ ,  $R=0$  pada saat dia membuat positive going transition.  $Q = \text{HIGH}$ , maka tetap berada pada state yang sama.
  - $S=R=1$  tidak digunakan karena hasilnya adalah kondisi ragu.

### Preset dan Clear pada R-S Flip-flop

---

Dengan penambahan Preset (Pre) dan Clear (Clr), seperti pada Gambar 7.2. yang pada ujungnya diberi tanda (inverter), rangkaian dapat dikendalikan dengan masukan tak sinkron. Masukan Pre dan Clr, dapat digunakan untuk penghapusan atau pengesetan data keluaran, sesuai Tabel 7.1 a. Pengesetan langsung  $Q=1$  dapat dilakukan dengan memberi masukan  $\text{Pre}=1$  dan  $\text{Clr}=0$ , tanpa mempedulikan masukan R dan S b. Penghapusan langsung  $Q=0$  dilakukan dengan memberi masukan  $\text{Pre}=0$  dan  $\text{Clr}=1$ , tanpa mempedulikan masukan R dan S c. Rangkaian dalam keadaan modus operasi, bila masukan  $\text{Pre}=\text{Clr}=0$



Gambar 7.2 Clocked FF



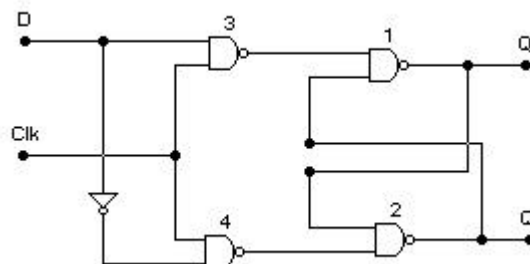
Tabel 7.1 Set dan Reset

Tabel Kebenaran							
Pre	Clr	R	S	Clk	Q	Q'	Mode
1	1	x	x	x	1	1	Invalid**
1	0	x	x	0	1	0	Set**
0	1	x	x	0	0	1	Reset**
0	0	x	x	0	$Q_t$	$Q'_t$	Memori
0	0	0	0	$\uparrow$	$Q_t$	$Q'_t$	Memori
0	0	0	1	$\uparrow$	1	0	Set
0	0	1	0	$\uparrow$	0	1	Reset
0	0	1	1	$\uparrow$	1*	1*	invalid

x = sembarang                       $Q_t$  = tetap  
 \* = invalid (larangan)              \*\* = tak sinkron

### D-FLIP FLOP

Rangkaian D flip-flop yang dibentuk oleh gerbang NAND ditunjukkan dalam Gambar 10. Rangkaian ini sama seperti R-S flip-flop yang menggunakan NAND, tetapi antara masukan S dan R terpasang inverter yang membuat masukan R merupakan komplement masukan S



Gambar 7.3 Gerbang dan Tabel Kebenaran D FF

### D Flip-flop Dengan Gerbang NAND

Tabel Kebenaran				
D	Clk	Q	Q'	Mode
x	0	$Q_{t-1}$	$Q'_{t-1}$	Memori
0	1	0	1	Data in
1	1	1	0	Data in

x = sembarang  
 $Q_{t-1}$  = keluaran sebelumnya

Pengesean masukan klock Clk pada level 0, berarti masukkan gerbang NAND 3 dan 4 berlogik 0, keadaan ini menyebabkan keluaran kedua gerbang NAND tersebut berlogik 1, yang tidak mengubah keadaan keluaran pengancing gerbang NAND 1 dan 2. Rangkaian ini dalam keadaan mode memori sepanjang klock Clk=0, lihat Gambar 7.3.

Pengesean masukan klock Clk pada level 1, terjadi perpindahan kontrol keluaran rangkaian D flip-flop, pada masukan D. Keluaran Q=1 bila masukan D=1, dan keluaran Q=0 bila masukan D=0. Keluaran Q rangkaian D flip-flop selalu sama dengan masukan D, sepanjang klock Clk=1. Sedang keluaran Q' selalu merupakan komplemen dari masukan D.

Dalam kenyataan pengesean klock Clk=1 membuat keluaran Q=D dan Q'=NOT D. Rangkaian D flip-flop tidak mempunyai mode masukan invalid sebagaimana terjadi pada R-S flip-flop. Dengan adanya inverter pada salah satu masukan S-R flip-flop, kondisi invalid tidak akan terjadi. Mode invalid terjadi pada R-S flip-flop saat keadaan kedua masukan R-S flip-flop berlevel 1 untuk waktu sama.

Keluaran Q selalu sesuai dengan masukan D selama Clk=1, dengan kata lain dalam rangkaian sepertinya masukan D berhubungan langsung dengan keluaran Q, atau melalui inverter dengan keluaran Q'. Mode memori R=S=0, ketika Clk=1 pada R-S flip-flop tidak terjadi dalam D flip-flop, keadaan memori dalam D flip-flop hanya dapat terjadi ketika Clk=0, lihat baris pertama pada Gambar 7.3

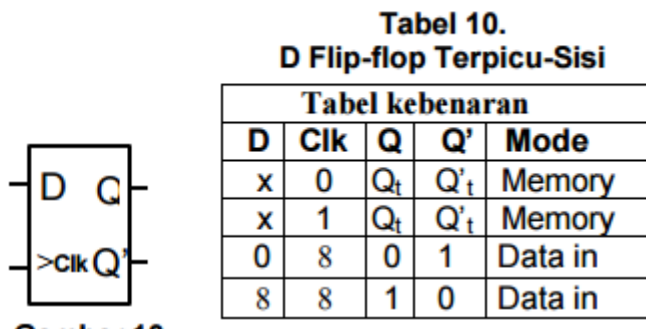
Kinerja dari D flip-flop dapat dirangkum sebagai berikut : 1. Keluaran Q selalu mengikuti masukan D sepanjang klock Clk=1 2. Flip-flop dalam keadaan mode memori sepanjang klock Clk=0 3. Rangkain tidak mempunyai kondisi operasi invalid.



## D flip-flop terpicu-sisi (Edge-Triggered)

---

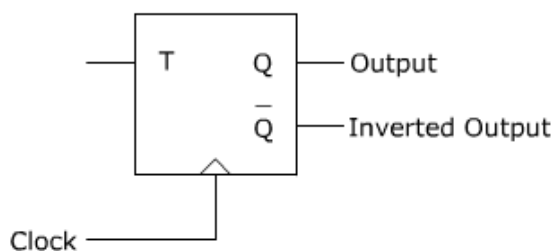
D flip-flop jenis ini secara normal dalam keadaan mode memori baik klok pada logik 0 maupun pada logik 1. Hanya ada satu interval waktu yang sangat pendek yang dapat mengubah keadaan keluaran, yaitu masa perubahan dari 0 ke 1, atau perubahan dari 1 ke 0. Flip flop jenis ini hanya merespon pada sisi naik atau sisi turun dari sebuah bentuk gelombang masukan, selain itu D flip flop selalu dalam keadaan mode memori.



## T FLIP FLOP

---

The T type flip-flop is a single input device: T (trigger). Two outputs: Q and Q' (where Q' is the inverse of Q).



The operation of the T type flip-flop is as follows: A '0' input to 'T' will make the next state the same as the present state (i.e. T = 0 present state = 0 therefore next state = 0). However a '1' input to 'T' will change the next state to the inverse of the present state (i.e. T = 1 present state = 0 therefore next state = 1).

Knowing the above, we can now formalise the operating characteristics and the state change table:

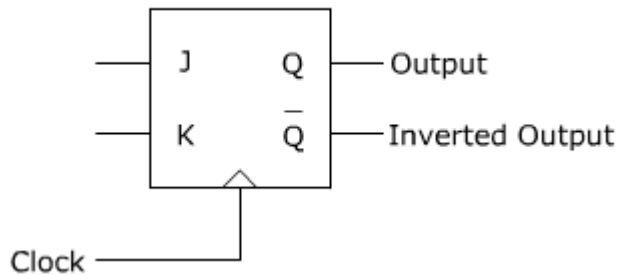


Input	Circuit Action
T	$Q_{(Time\ t+1)}$
0	$Q^{(t)}$
1	$Q^{(t)'}$

Present State	Next State	Input T	Map Entry
0	0	0	0
0	1	1	T or 1
1	0	1	T or 1
1	1	0	0

## JK FLIP FLOP

The JK type flip-flop consists of two data inputs: J and K, and one clock input. There are again two outputs Q and Q' (where Q' is the reverse of Q).



Input		Circuit Action
J	K	$Q_{(Time\ t+1)}$
0	0	$Q^{(t)}$
1	0	0
0	1	1
1	1	$Q^{(t)'}$

- When  $J=K=0$ , the current output will carry through to the next state. e.g. Current state  $Q =$  Next state  $Q$
- When  $J=0$  and  $K=1$ , the next state output will be put to 0. This happens regardless of the present state output.
- When  $J=1$  and  $K=0$ , the next state output will be asserted (put to 1). This happens regardless of the present state output.
- When  $J=K=1$ , the next state output will be the inverse of the current state output. e.g. Current state  $Q' =$  Next state  $Q$ .

Knowing the above we can now construct the state change table:

Present State	Next State	Inputs		Map Entry	
		J	K	J	K
0	0	0	X	0	X
0	1	1	X	1	X
1	0	X	1	X	1
1	1	X	0	X	0

Lets discuss this state change table with respect to the operating characteristics diagram. There actually exists two operating characteristics that satisfy every possible output combination. This means there should be some 'don't care' terms with each output combination (as our diagram shows). In the list below we shall see how each of the terms

- i. Two conditions exist so that the next state is 0 while the present state is also 0. From the operating characteristics diagram, we can see that condition A and B would both satisfy this scenerio. The common term to make this scenerio true is  $J=0$ . We dont care about K, as  $K=1$  or  $K=0$  while  $J=0$  will work. Hence the 'don't care' term is K,
- ii. Operating characteristics C and D both satisfy this scenerio. The common term is again J, as the situation is solved by  $J=1$  and either  $K=0$  or  $K=1$ , therefore the 'don't care' term is K as shown on the state change table.
- iii. When the output goes from 1 to 0, there are two characteristics that will allow this to happen; B and D.  $K=1$  and J can be equal to 1 or 0. Therefore in this case, J is the 'don't care' term.
- iv. When the JK flip-flop remains at logic, it means that either A or C of the four operating characteristics have been applied. K must equal 0 in either case, but J could have been equal to 1 (A) or 0 (C). Because of this, J is the 'don't care' term.

The JK flip-flop can actually be reconfigured so that it can perform the operation of some of the other flip-flops that are discussed above. For example, if the two inputs J and K are tied together, then the output characteristics are fixed to A and D. This precisely matches the characteristics of a T type flip flop. Also to note, because the way a JK is made, you may replace an SR flip-flop with a JK flip-flop without a change in operation. However you cannot replace a JK flip-flop with an SR flip-flop as a  $S=1$   $R=1$  condition is not allowed, but a  $J=1$   $K=1$  condition is permitted

### **Daftar Pustaka**

Ronald J. Tocci, Neal S.Widmer, Gregory L. Moss, Digital Systems Principles and Applications TENTH EDITION, 2007, Pearson Education International

