BIDANG PENDIDIKAN DAN PENGAJARAN

BERITA ACARA PERKULIAHAN

KULIAH OFF-LINE

PERIODE SEMESTER GENAP 2022-2023

MATA KULIAH:

ELEKTRONIKA TERPADU

LAMPIRAN BERITA ACAR A PERKULIAHAN :

1. *SK.DEKAN FTI SEMESTER GENAP 2022/2023*
2. *PRESENSI KEHADIRAN MAHASISWA & DOSEN*
3. *CONTOH HAND OUT MATERI AJAR*
4. *NILAI KOMULATIF; KEHADIRAN,TUGAS, UTS DAN UAS*

PROGRAM STUDI TEKNIK ELEKTRO

FAKULTAS TEKNOLOGI INDUSTRI

INSTITUT SAINS DAN TEKNOLOGI NASIONAL

YAYASAN PERGURUAN CIKINI
INSTITUT SAINS DAN TEKNOLOGI NASIONAL
Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640
Telp. 021-7270090 (hunting), Fax. 021-7866955, hp: 081291030024
Email : humas@istn.ac.id Website : www.istn.ac.id

SURAT PENUGASAN TENAGA PENDIDIK

Nomor : 99 / 03.1 – G / III / 2023

SEMESTER ***GENAP***, TAHUN AKADEMIK 2022 / 2023

N a m a	: **Edy Supriyadi,Ir,MT**	Status Pegawai	:	Edukatif Tetap / Tidak Tetap	
NIK	: **22870030**	Program Studi	:	Teknik Elektro	
Jabatan Akademik	: **Lektor Kepala**				

Bidang	Perincian Kegiatan	Tempat	Jam/ Minggu	Kinerja (sks)	Keterangan
I PENDIDIKAN Dan PENGAJARAN	**MENGAJAR DI KELAS (KULIAH / RESPONSI DAN LABORATORIUM)**				
	1.Dasar Sistem Kendali (Kls A)			2	Senin,08.00-09.40
	2.Sistem Kendali Digital (Kls A)			3	Senin,10.00-12.30
	3.Elektronika Terpadu (D.III Kls A)			2	Senin, 15.00- 16.40
	4.Dasar Elektronika (Kls K)			2	Selasa, 13.00-14.40
	5.Sistem Kendali Waktu Nyata (Kls A)			3	Kamis,13.00-14.40
	6.				
	7.				
	8.				,
	9.				,
	10.				,
	11.				,
	12.				,
	13.				,
	14.				,
	15.				,
	16.				,
	17. Membimbing Skripsi / Tugas Akhir				
	18. Menguji Skripsi / Tugas Akhir			1	
II PENELITIAN	1. Penelitian Ilmiah			1	
	2. Penulisan Karya Ilmiah			1	
	3. Penulisan Diktat Kuliah				
	4. Menerjemahkan Buku				
	5. Pembuatan Rancangan Teknologi				
	6. Pembuatan Rancangan & Karya Pertunjukan				
III PENGABDIAN DAN MASYARAKAT	1. Menduduki Jabatan di Pemerintahan				
	2. Pengembangan Hasil Pendidikan Dan Penelitian				
	3. Memberikan Penyuluhan/Pelatihan/Ceramah pada masyarakat			1	
	4. Memberikan Pelayanan Kepada Masyarakat Umum				
	5. Menulis Karya Pengabdian Pada Masyarakat yang tidak dipublikasikan				
	6. Komersial / Kesepakatan				
IV UNSUR-UNSUR PENUNJANG	1. Jabatan Struktural				
	2. Penasehat Akademik				
	3. Berperan serta aktif dalam pertemuah ilmiah / seminar			1	
	4. Pengembangan program kuliah / Kelompok Ilmu Elektro				
	5. Menjadi anggota panitia / Badan pada suatu Perguruan Tinggi				
	6. Menjadi anggota Badan Lembaga Pemerintah				
	7. Menjadi Anggota Organisasi Profesi				
	8. Mewakili PT / Lembaga Pemerintah duduk dalam Panitia antar Lembaga				
	9. Menjadi Anggota Delegasi Nasional ke Parlemen – Parlemen Internasional				
Jumlah Total				**17**	

Kepada yang bersangkutan akan diberikan gaji / honorarium sesuai dengan peraturan penggajian yang berlaku di Institut Sains Dan Teknologi Nasional
Penugasan ini berlaku dari tanggal **20 Maret 2023** sampai dengan tanggal **31 Agustus 2023.**

Jakarta, 20 Maret 2023
D e k a n,

ISTN

(Dr. Musfirah Cahya F.T.S.Si.,M.Si.)

Tembusan :
1.Direktur Akademik - ISTN
2.Direktur Non Akademik – ISTN
3.Ka. Biro Sumber Daya Manusia - ISTN
4.Kepala Program Studi Fak. ....
5.Arsip

BERITA ACARA PERKULIAHAN
(PRESENTASI KEHADIRAN DOSEN)
SEMESTER GENAP TAHUN AKADEMIK 2022/2023
PROGRAM STUDI TEKNIK ELEKTRO S.1 & D.III –ISTN

Mata Kuliah	: Elektronika Terpadu	Semester	: II
Dosen	: (1)Edy Supriyadi	SKS	: 2
Hari/Jam	Senin / 15.00 – 16.40	Kelas	: A
Jumlah mhs	: 2 mahasiswa	Ruang	: C3

No.	TANGGAL	MATERI KULIAH	JML MHS HADIR	TANDA TANGAN DOSEN
1.	20 Maret 2023	Pendahuluan - Koordinasi kuliah online - Orientasi materi - Aturan main kelas	2	
2.	27 Maret 2023	Pengantar Proses Pabrikasi Rangkaian Terpadu (contoh Dioda) Tugas 1. Semikonduktor	2	
3.	3 April 2023	Proses Pembuatan Wafer	2	
4.	10 April 2023	Proses epitaksi dan Oksidasi	1	
5.	17 April 2023	Proses Fotolitografi (Quis : proses pabrikasi transistor npn) (Tugas 2 proses pabrikasi transistor pnp)	2	
6.	8 Mei 2023	Proses Difusi Proses Metalisasi	1	
7.	15 Mei 2023	Pembahasan proses pabrikasi R,C monolitik (Tugas 3 dan Quis)	2	
8.	22 Mei 2023	**UJIAN TENGAH SEMESTER (UTS)**	2	

BERITA ACARA PERKULIAHAN
(PRESENTASI KEHADIRAN DOSEN)
SEMESTER GENAP TAHUN AKADEMIK 2022/2023
PROGRAM STUDI TEKNIK ELEKTRO S.1 & D.III –ISTN

Mata Kuliah	: Elektronika Terpadu	Semester	: II
Dosen	: (1)Irmayani (2) Edy Supriyadi	SKS	: 2
Hari/Jam	: Senin / 15.00 – 16.40	Kelas	: A
Jumlah mhs	: 2 mahasiswa	Ruang	: C3

No.	TANGGAL	MATERI KULIAH	JML MHS HADIR	TANDA TANGAN DOSEN
9.	5- Juni 2023	1. Pembahasan Soal UTS dan Quis 2. Pengantar MOS	2	
10.	12 Juni 2023	1. Teknologi MOS (Metal Oxide Semikonductor) 2. Saklar CMOS	2	
11.	19 Juni 2023	1. Proses Pabrikasi Transistor MOS 2. Tugas 4 proses pabrikasi transistor p-MOS	1	
12.	26 Juni 2023	1. Proses Pabrikasi NAND GATE 2. Tugas 5 Proses pabrikasi NOR GATE	2	
13.	3 Juli 2023	Pembahasan Tugas	2	
14.	10 Juli 2023	Perancangan Layout NAND GATE	1	
15.	17 Juli 2023	Simulasi Perancangan Layout Rangkaian Logika Sederhana Tugas 6 dan Quis	2	
16.	24 Juli 2023	**UJIAN AKHIR SEMESTER (UAS)**	2	

Mengetahui
Ka. Program Studi

(Ir. Harlan Effendi., MT)

DAFTAR HADIR PESERTA KULIAH MAHASISWA
GENAP - REGULER - TAHUN 2022/2023

FAK / JURUSAN	Teknik Elektro D3	HARI / TANGGAL	Senin
MATAKULIAH	Elektronika Terpadu / 434001 / 4		
KELAS / PESERTA	A / 2	JAM KULIAH	15:00-16:40
KURIKULUM	2018		
DOSEN	1.Eddy Supriyadi, Ir. MT.	RUANG	

No	NIM	NAMA MAHASISWA	TANGGAL PERTEMUAN								JUMLAH
			20/3	31/3	14/4	28/4	5/5	12/5		16/5	
1	18430006	BREMA ERIKSON BANGUN									
2	20430002	FIRDAN MAULANA GIBRANI									

CATATAN :

Perubahan peserta hanya diperkenankan bila ada persetujuan tertulis dari Pelaksana Jurusan.

26/03/2023

Jakarta, ...

Dosen Pengajar,

(Eddy Supriyadi, Ir.MT.)

DAFTAR HADIR

SEMESTER GENAP REGULER TAHUN 2022/2023

Dosen : Edy S, Ir.MT.
Program Studi : Teknik Elektro
Matakuliah : Elektronika Terpadu
Kelas / Peserta : A / 2
Jadwal Kuliah : Senin, 15.00-16.40

No	NIM	NAMA	20-Mar	27-Mar	3-Apr	10-Apr	17-Apr	8-May	15-May	5-Jun	12-Jun	19-Jun	26-Jun	3-Jul	10-Jul	17-Jul	% Hadir
1	18430006	Brema Erikson Bangun	1	1	0	1	1	1	1	1	1	0	1	1	1	1	85.71429
2	20430002	Firdan Maulana Gibrani	1	0	1	1	1	1	0	1	1	1	1	1	1	1	85.71429

Jakarta, Juli 2023

Dosen Pengajar

Ir. Edy Supriyadi, MT.

DAFTAR HADIR PESERTA UJIAN AKHIR SEMESTER
SEMESTER GENAP - REGULER - TAHUN 2022/2023
PROGRAM KAMPUS ISTN BUMI SRENGSENG INDAH

FAK / JURUSAN : Teknik Elektro D3
MATAKULIAH : Elektronika Terpadu
KELAS / DOSEN : A / **Eddy Supriyadi, Ir.MT.**
HARI / TANGGAL : Senin 24/07/2023
JAM UJIAN : 15:00 - 16:40
PESERTA : 2 / 2 MHS
RUANG : C-1

No	NIM	NAMA MAHASISWA	NO DUDUK	TANDA TANGAN KEHADIRAN	KOMPONEN NILAI ANGKA				NILAI AKHIR	
					KULIAH 10%	TUGAS 10%	UTS 30%	UAS 50%	ANGKA 100%	HURUF
1	18430006	BREMA ERIKSON BANGUN	1	1	86	70	70	70	71,6	B+
2	20430002	FIRDAN MAULANA GIBRANI	2	2	86	70	60	60	64,6	B-

TANDA * DIKANAN NIM BERARTI UANG KULIAH BELUM LUNAS

PENGAWAS			
NAMA	ttd	NAMA	ttd
1.		3.	
2.		4.	

PESERTA UJIAN : 2 MHS

Koordinator Pengawas

(_____)

Dosen Pengajar,

(**Eddy Supriyadi, Ir.MT.**)

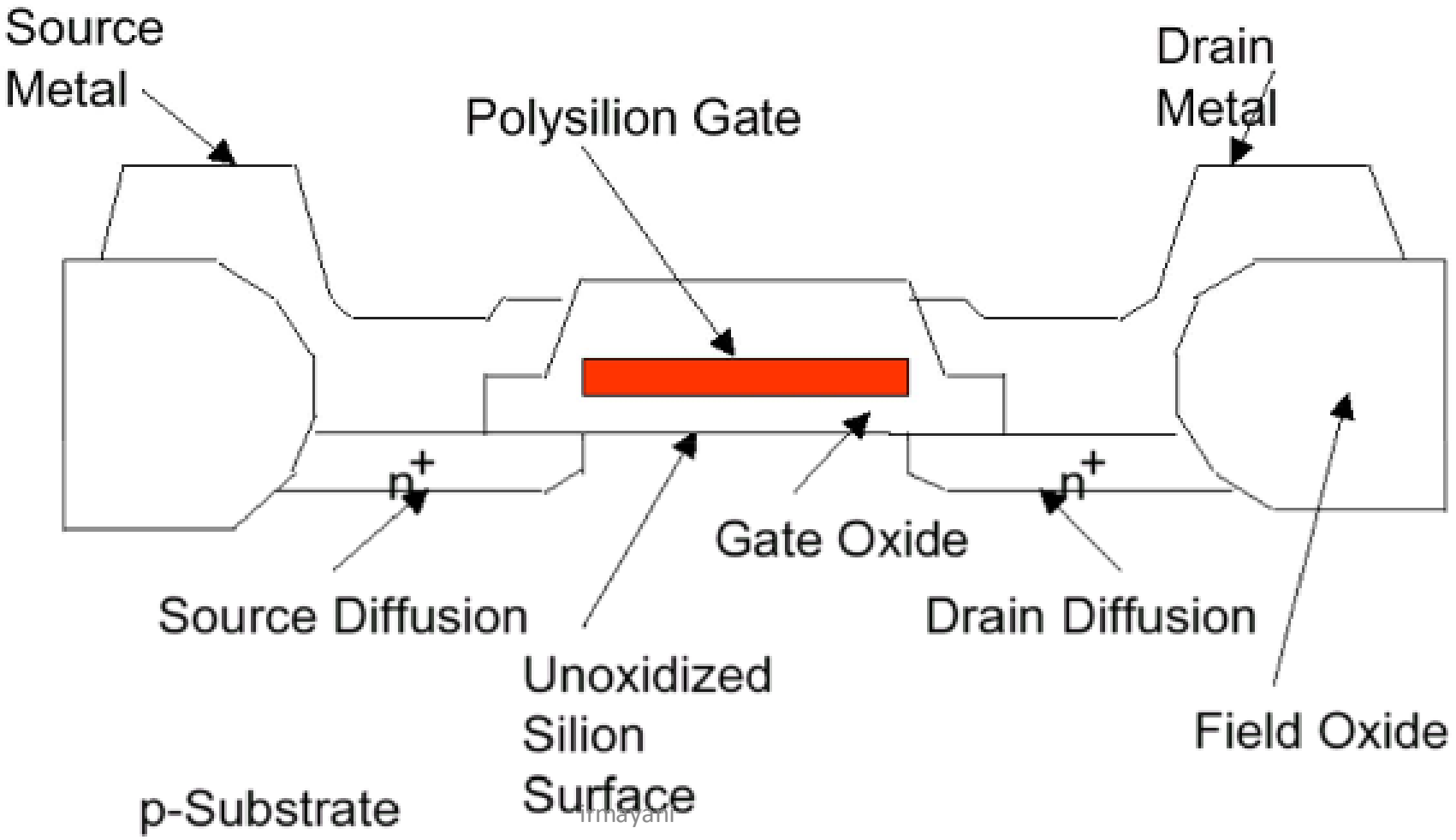
IC CMOS

Teknologi Rangkaian Terpadu

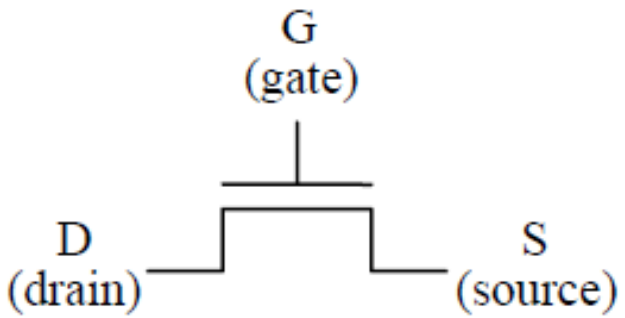
MOS Transistor

Struktur

- Basic structure of a NMOS transistor

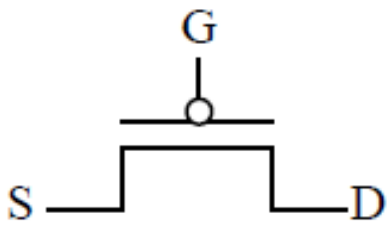


MOS Transistors as Switches



*n*MOS transistor:
Closed (conducting) when
Gate = 1 (V_{DD})

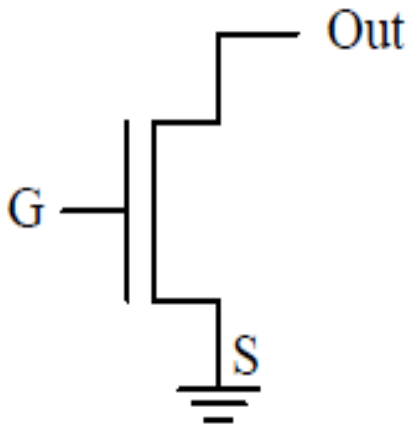
Open (non-conducting) when
Gate = 0 (ground, 0V)



*p*MOS transistor:
Closed (conducting) when
Gate = 0 (ground, 0V)

Open (non-conducting) when
Gate = 1 (V_{DD})

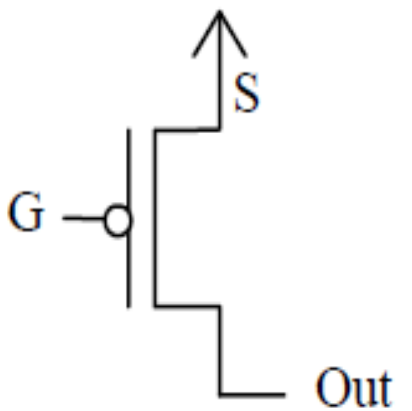
For *n*MOS switch, source is typically tied to ground and is used to *pull-down* signals:



when Gate = 1, Out = 0, (OV)

when Gate = 0, Out = Z (high impedance)

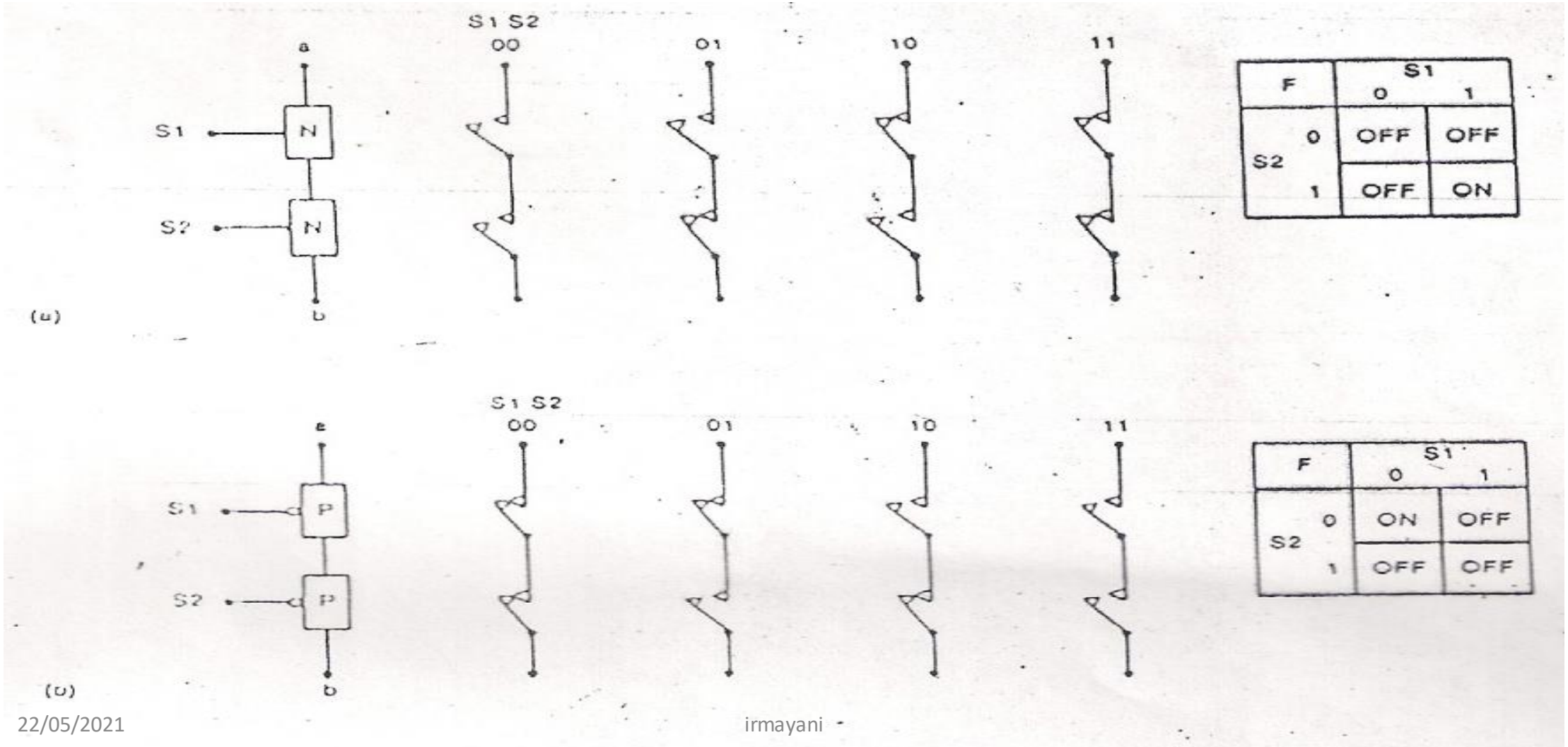
For *p*MOS switch, source is typically tied to V_{DD}, used to *pull* signals *up*:



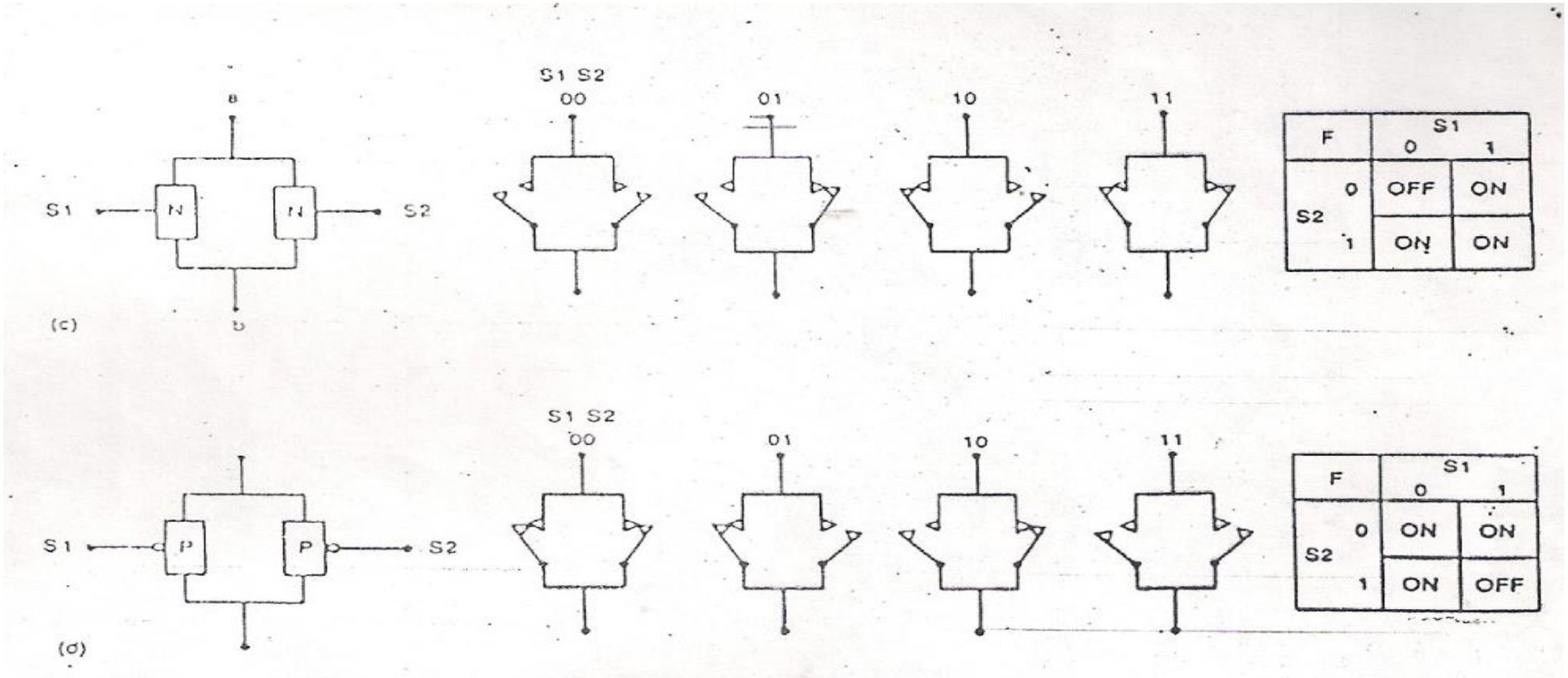
when Gate = 0, Out = 1 (V_{DD})

when Gate = 1, Out = Z (high impedance)

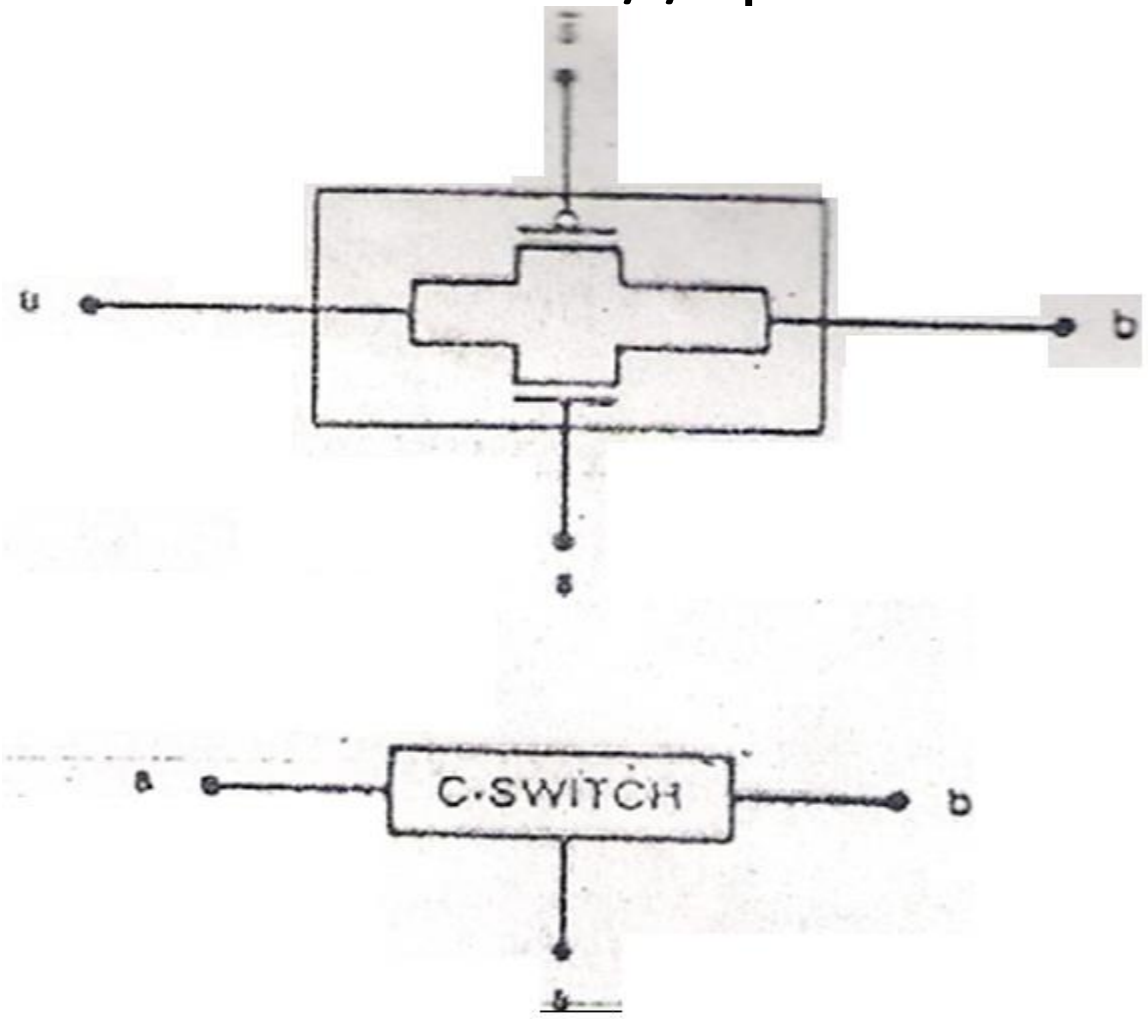
Kombinasi saklar MOS Seri

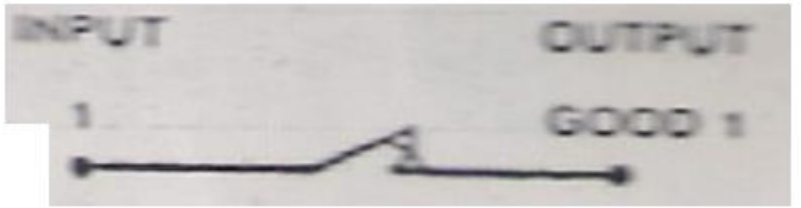


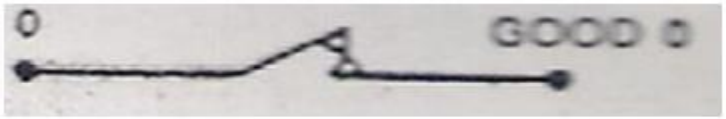
Kombinasi saklar MOS paralel



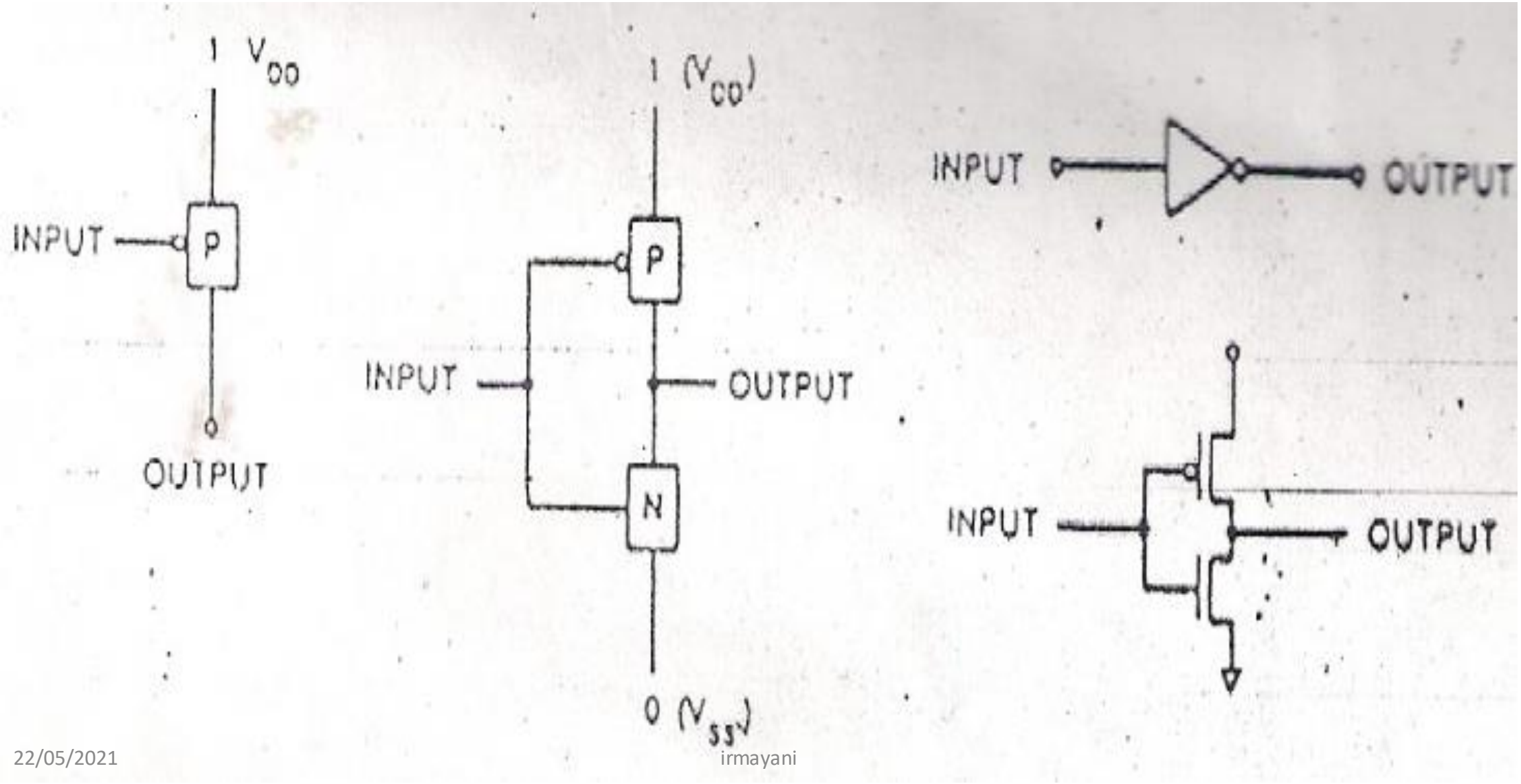
Saklar n-MOS // p-MOS → saklar CMOS

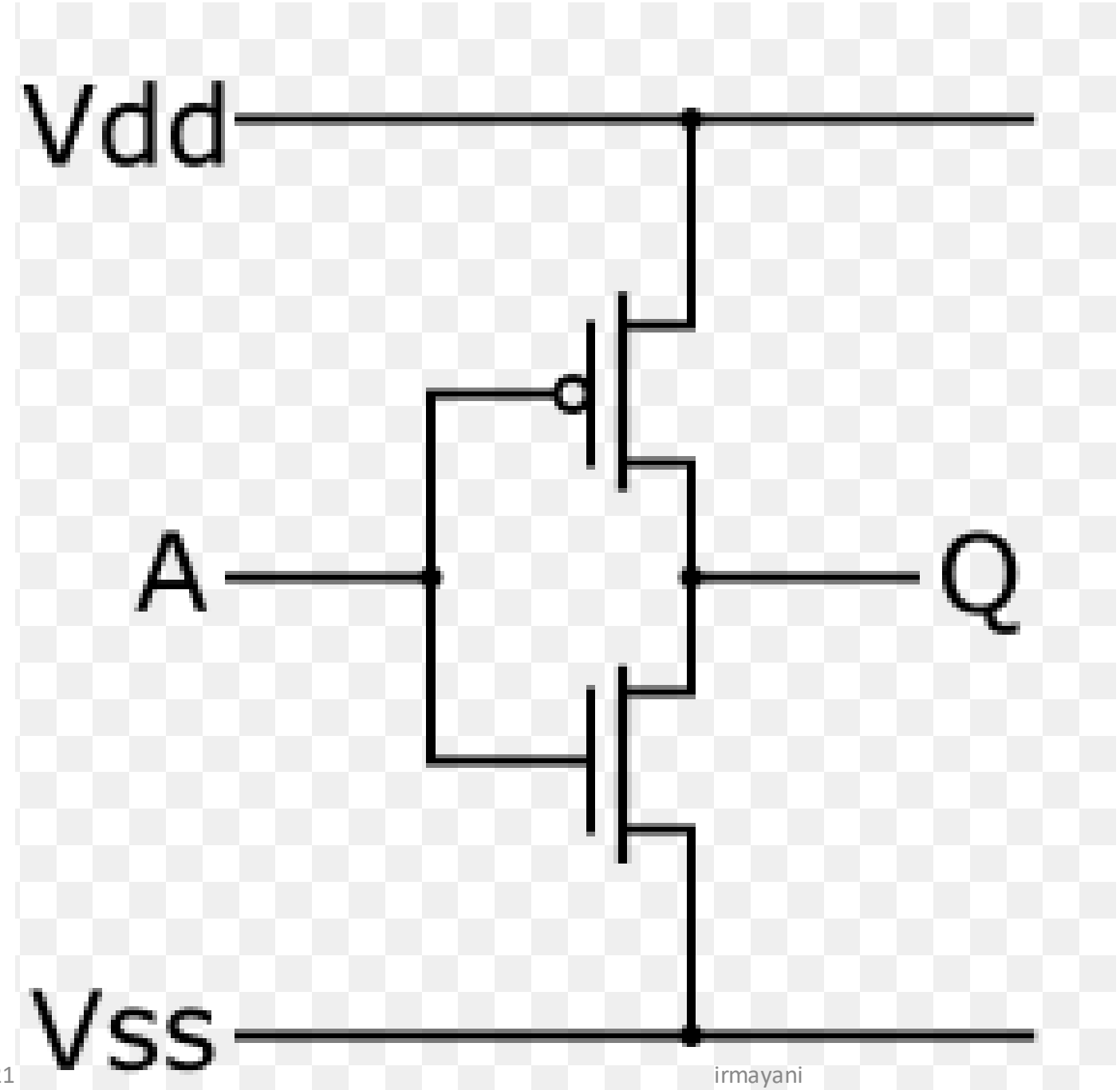


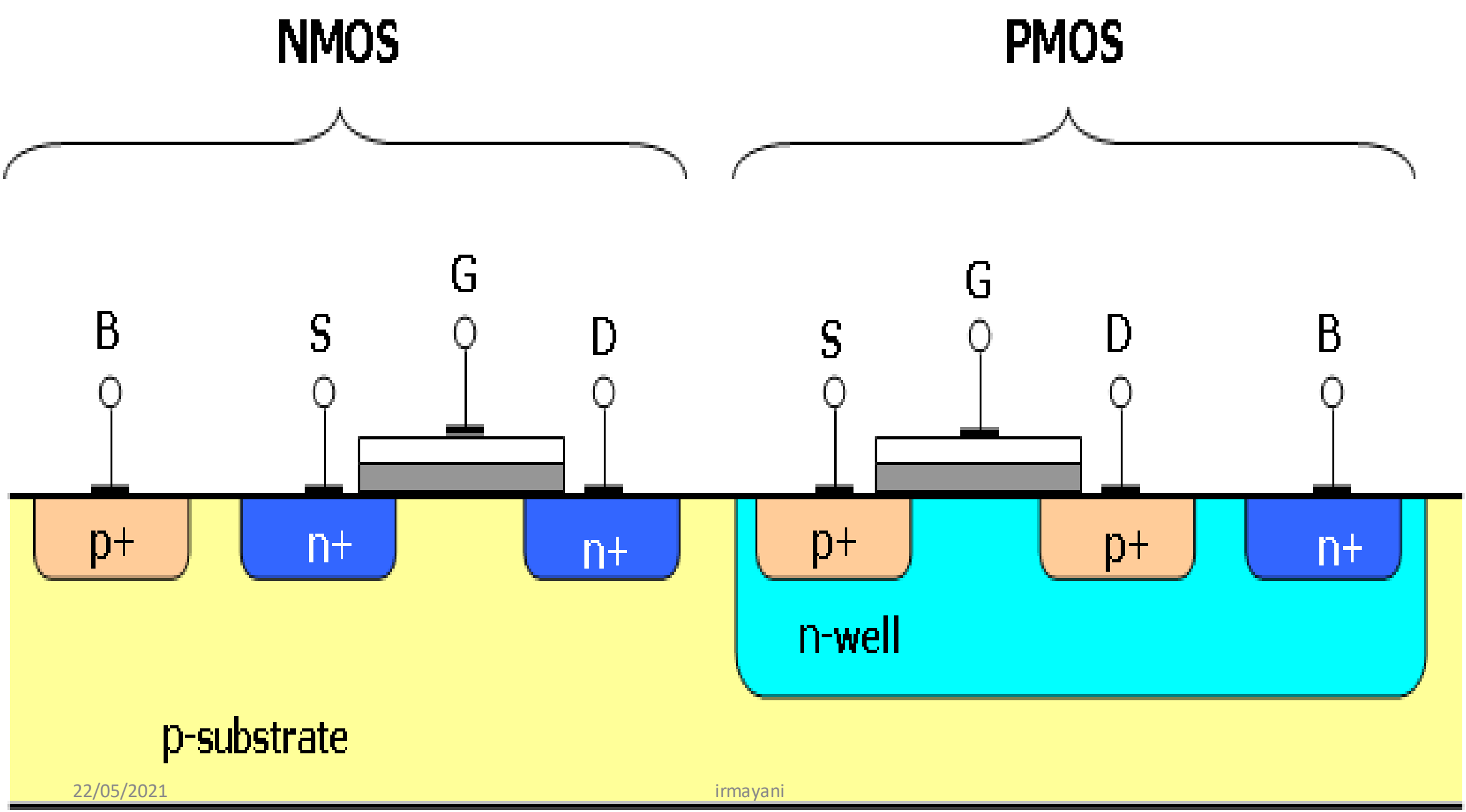


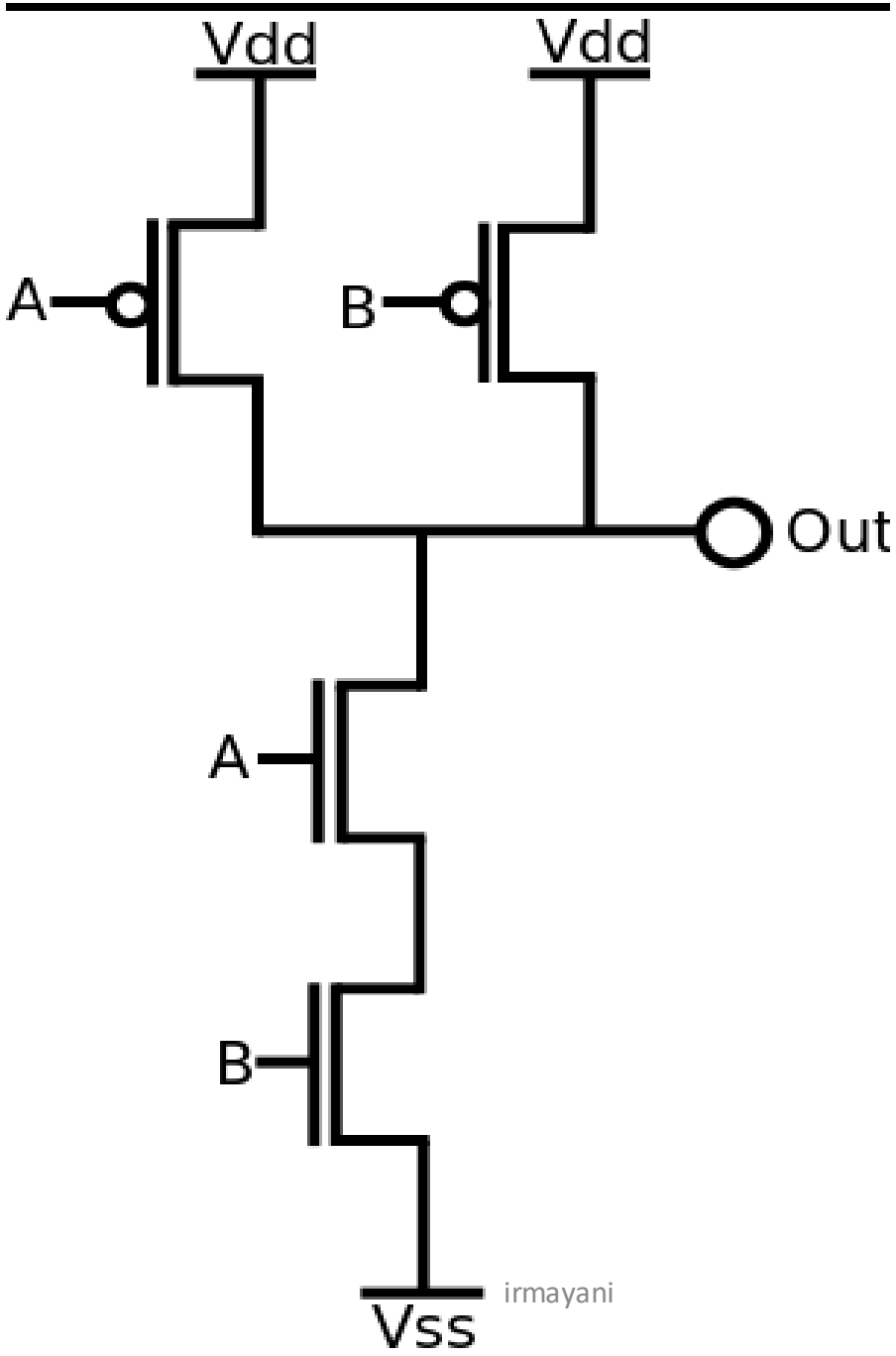


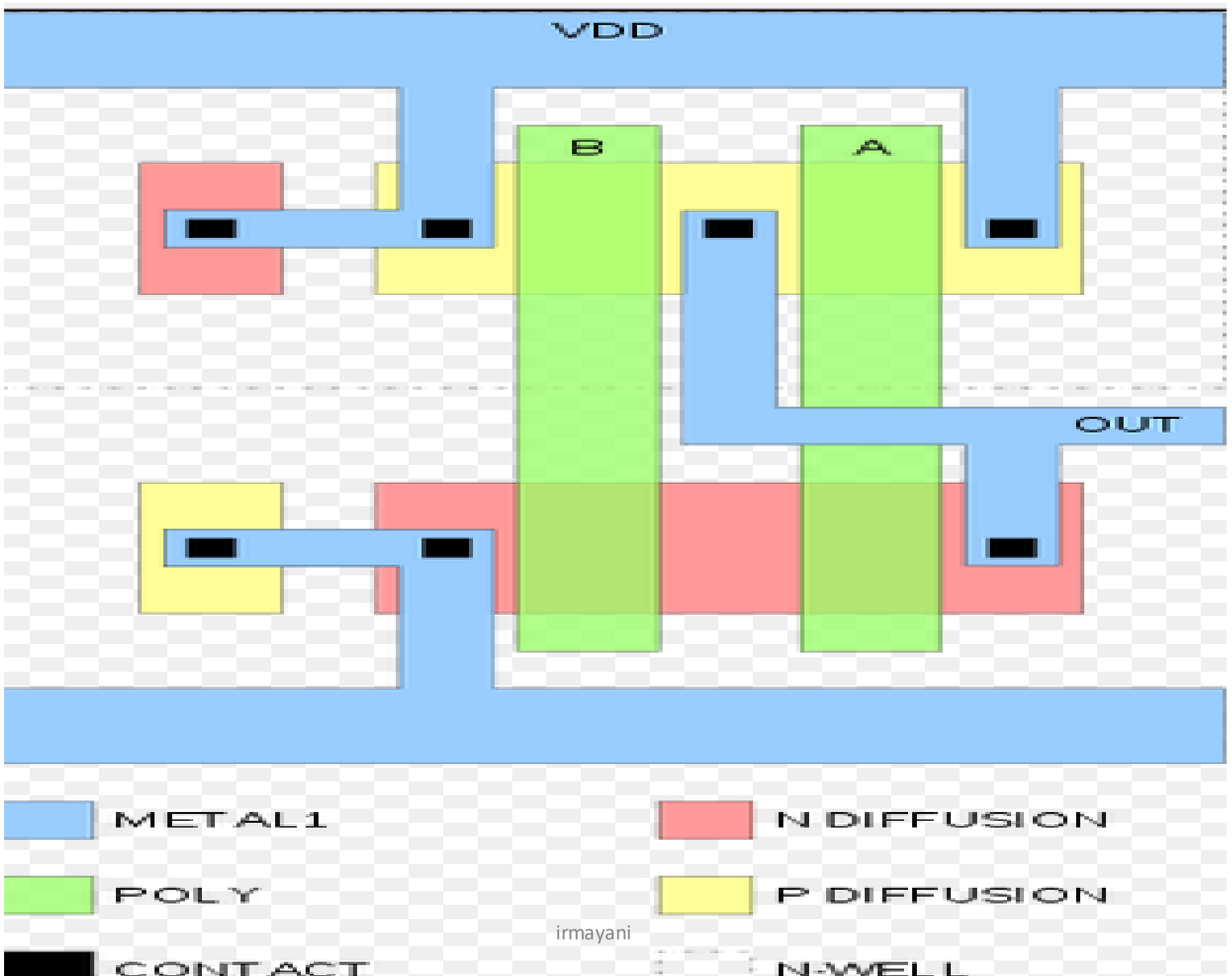
Konstruksi INVERTER CMOS



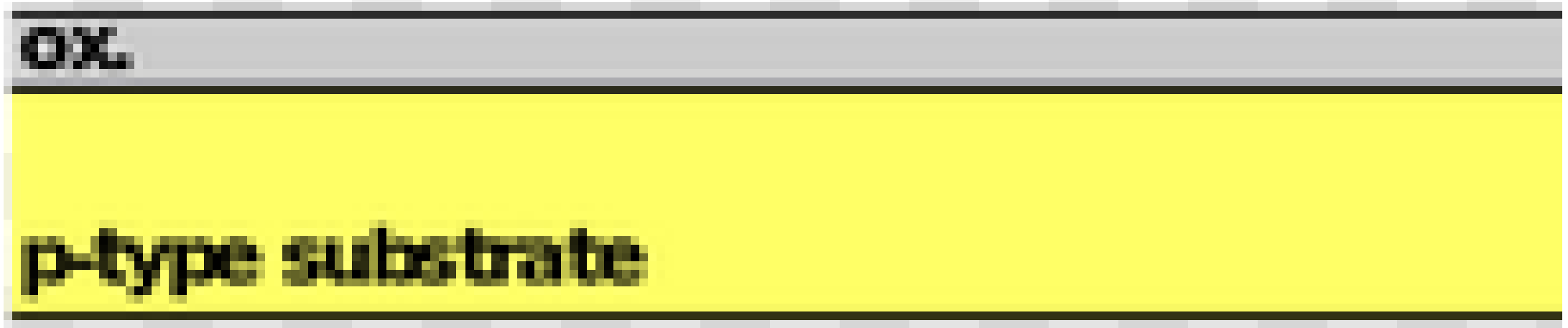

Vdd
A
Q
Vss


NMOS
PMOS
B
S
G
D
S
G
D
B
p+
n+
n+
p+
p+
n+
n-well
p-substrate

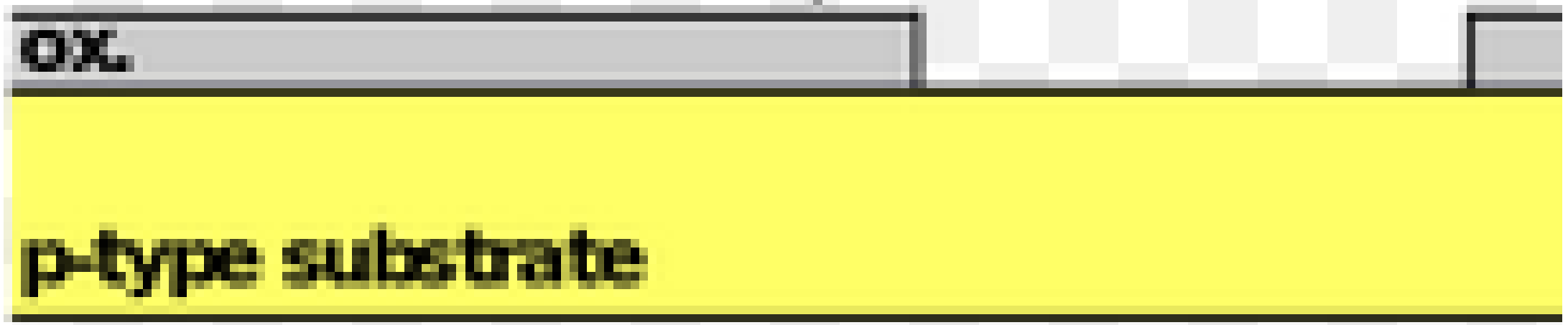

Vdd
Vdd
A
B
Out
A
B
Vss


VDD
B
A
OUT
METAL1
POLY
CONTACT
N DIFFUSION
P DIFFUSION
N-WELL

1. Grow field oxide



2. Etch oxide for pMOSFET



3. Diffuse n-well

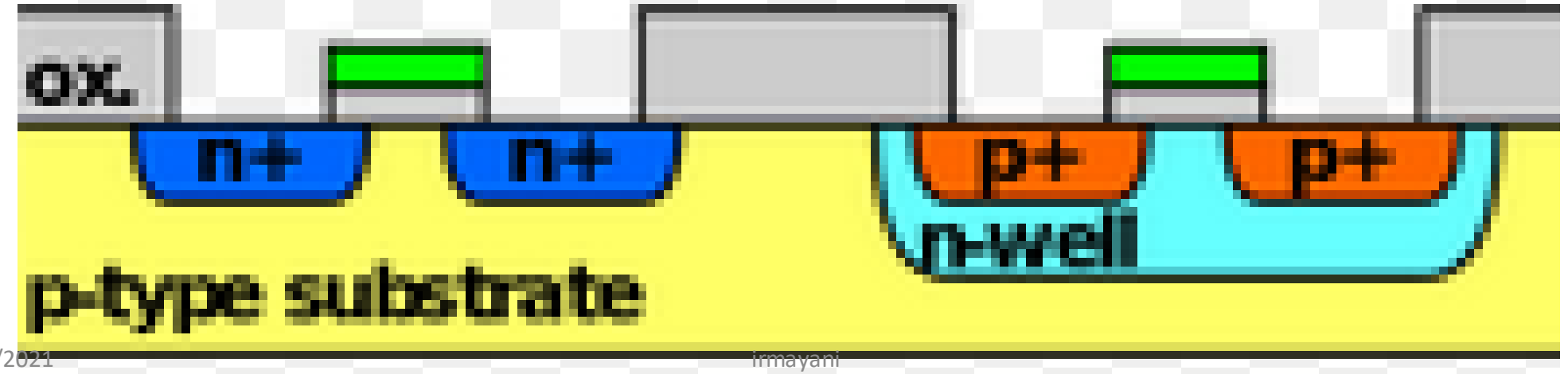
4. Etch oxide for nMOSFET

5. Grow gate oxide

6. Deposit polysilicon

7. Etch polysilicon and oxide

8. Implant sources and drains



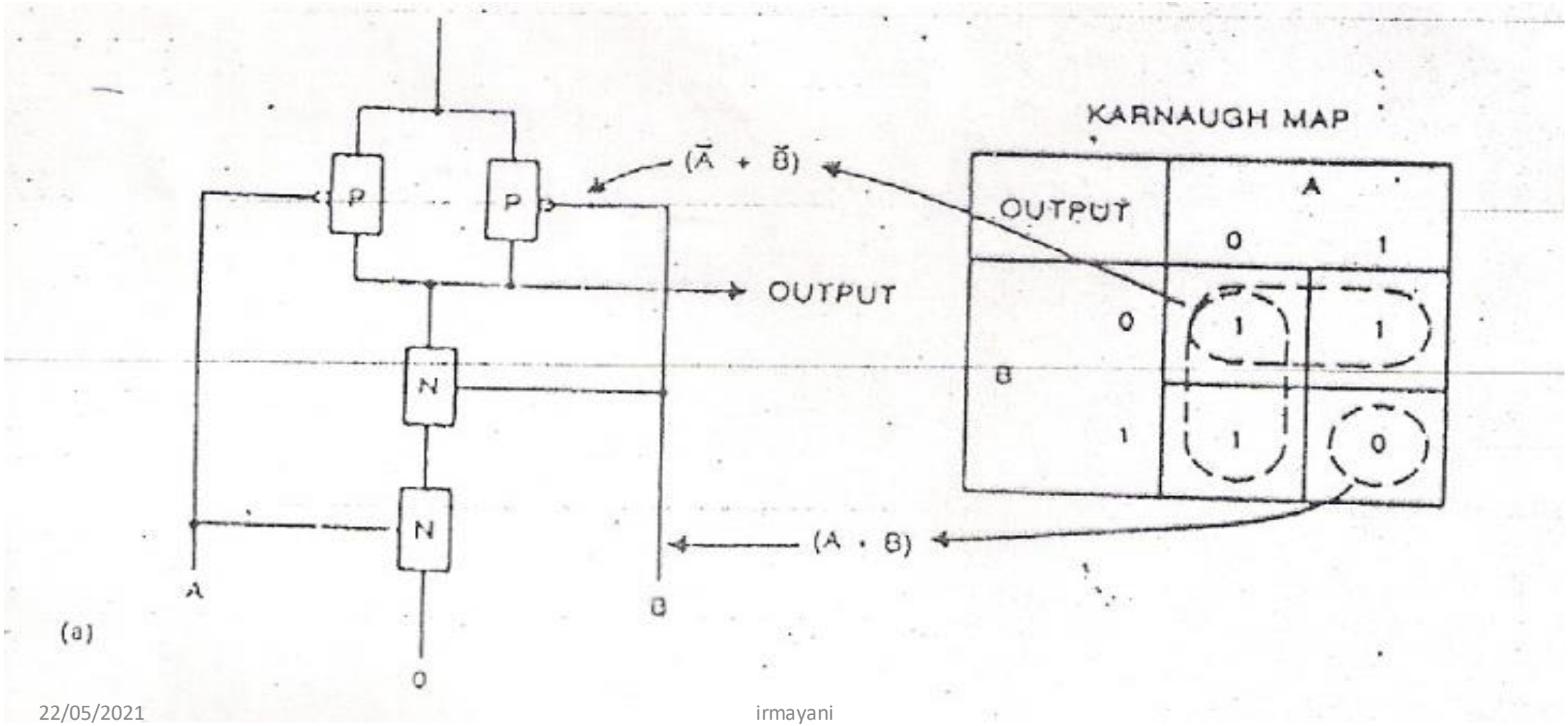
9. Grow nitride

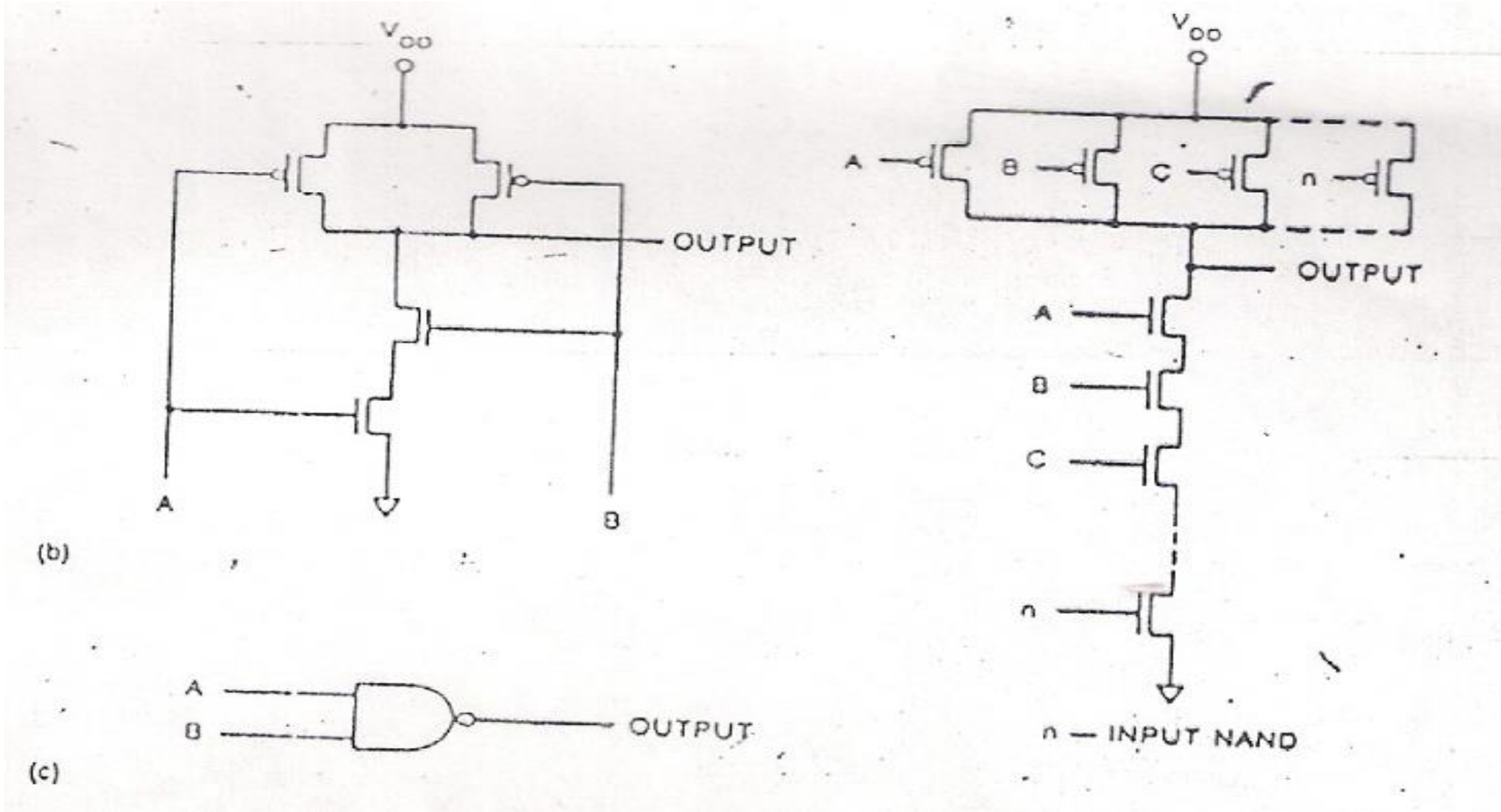
10. Etch nitride

11. Deposit metal

12. Etch metal

Susunan saklar NAND gate

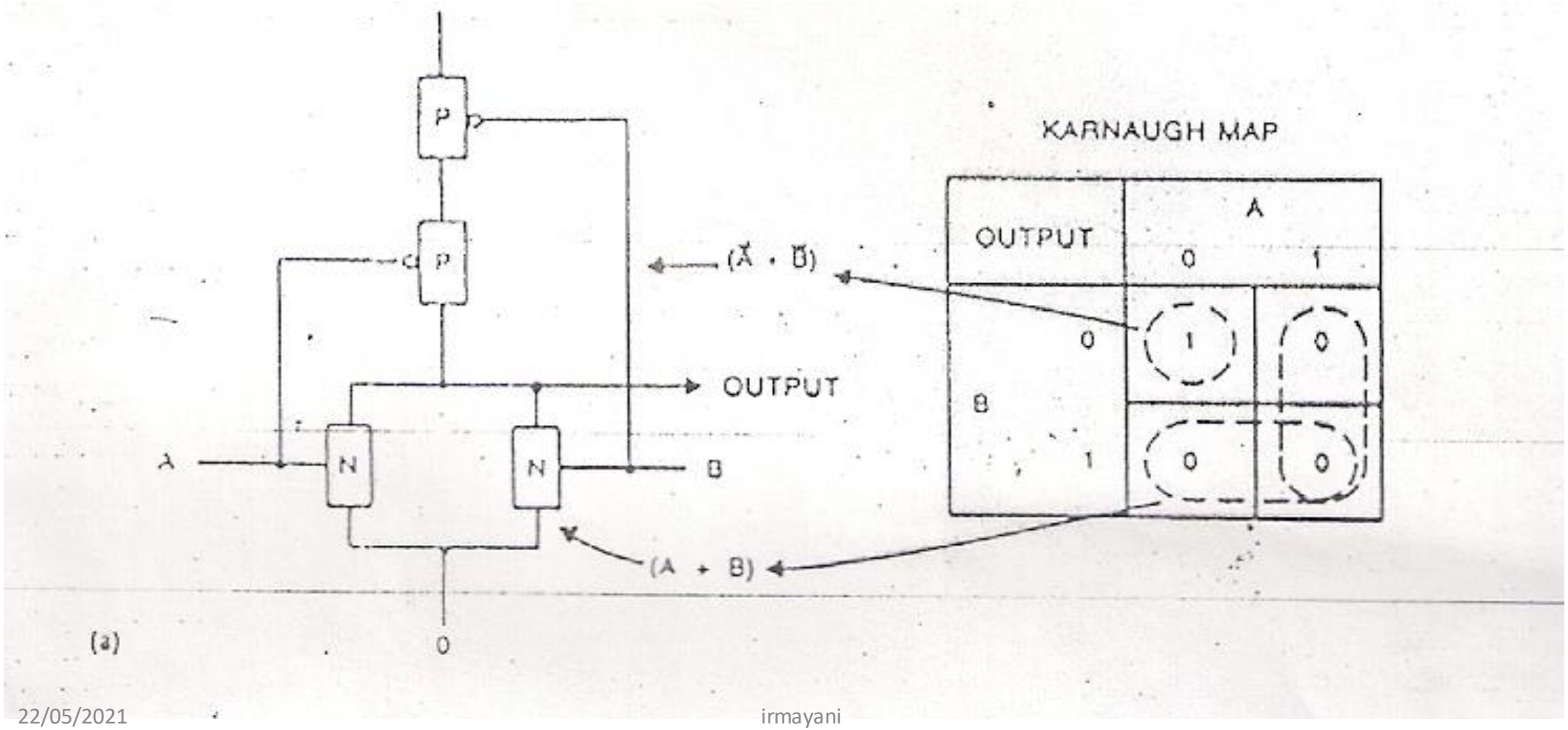



V_{DD}
OUTPUT
A
B
(b)
A
B
OUTPUT
(c)
V_{DD}
A
B
C
n
OUTPUT
A
B
C
n
n — INPUT NAND

Truth table dari NAND gate

A INPUT	B INPUT	A N-SWITCH	B N-SWITCH	A P-SWITCH	B P-SWITCH	OUTPUT
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	ON	OFF	1
1	1	ON	ON	OFF	OFF	0

Susunan saklar NOR gate



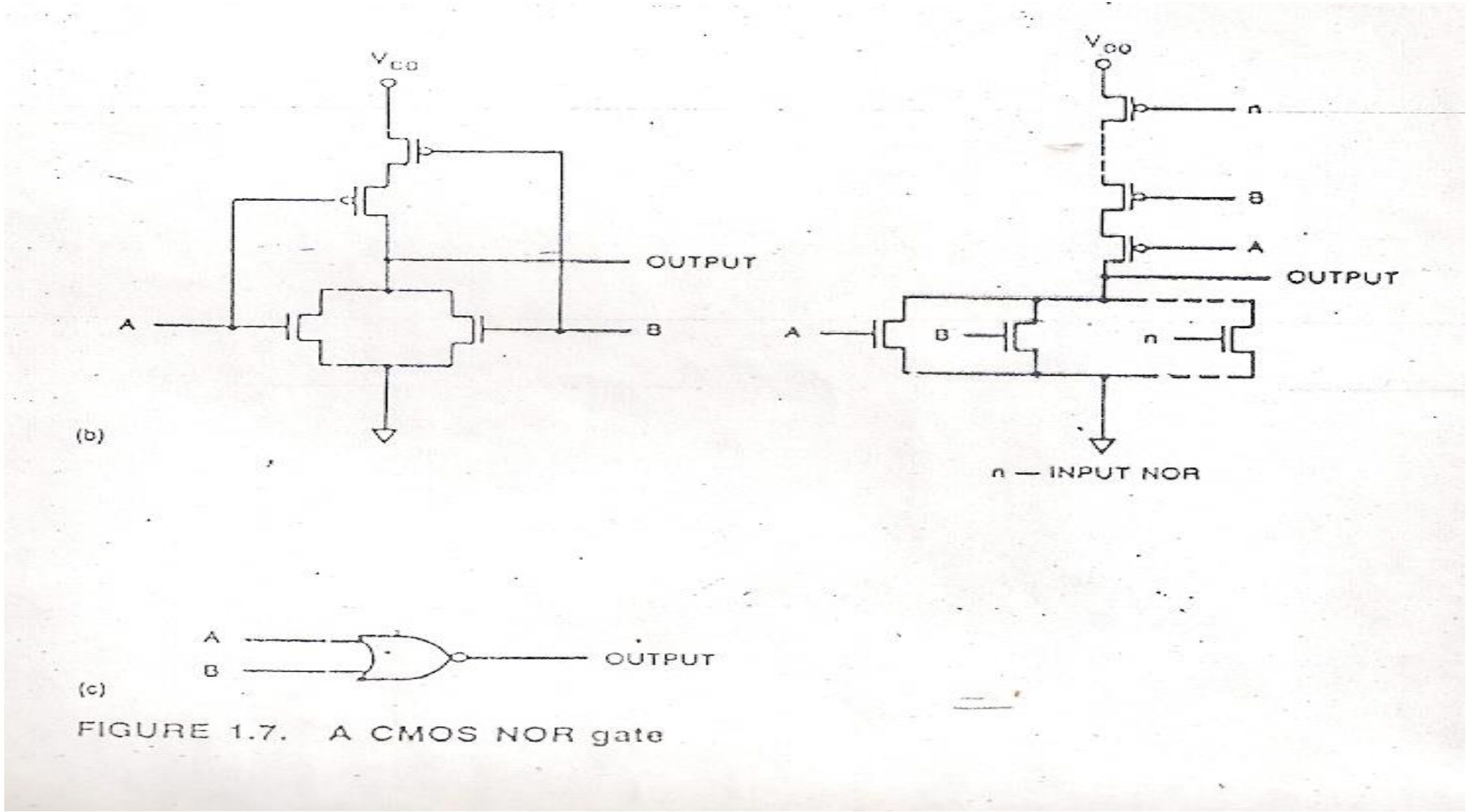
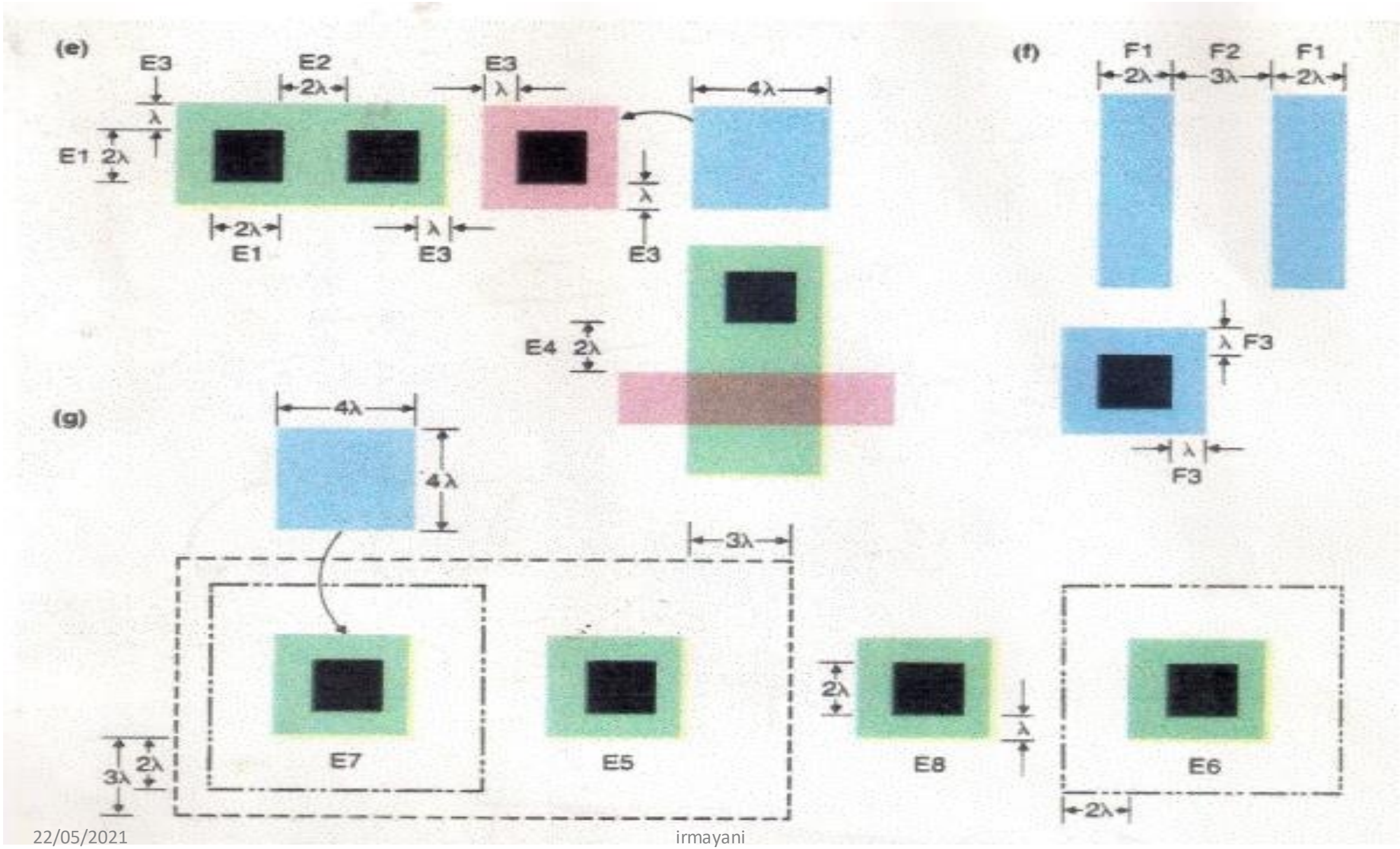
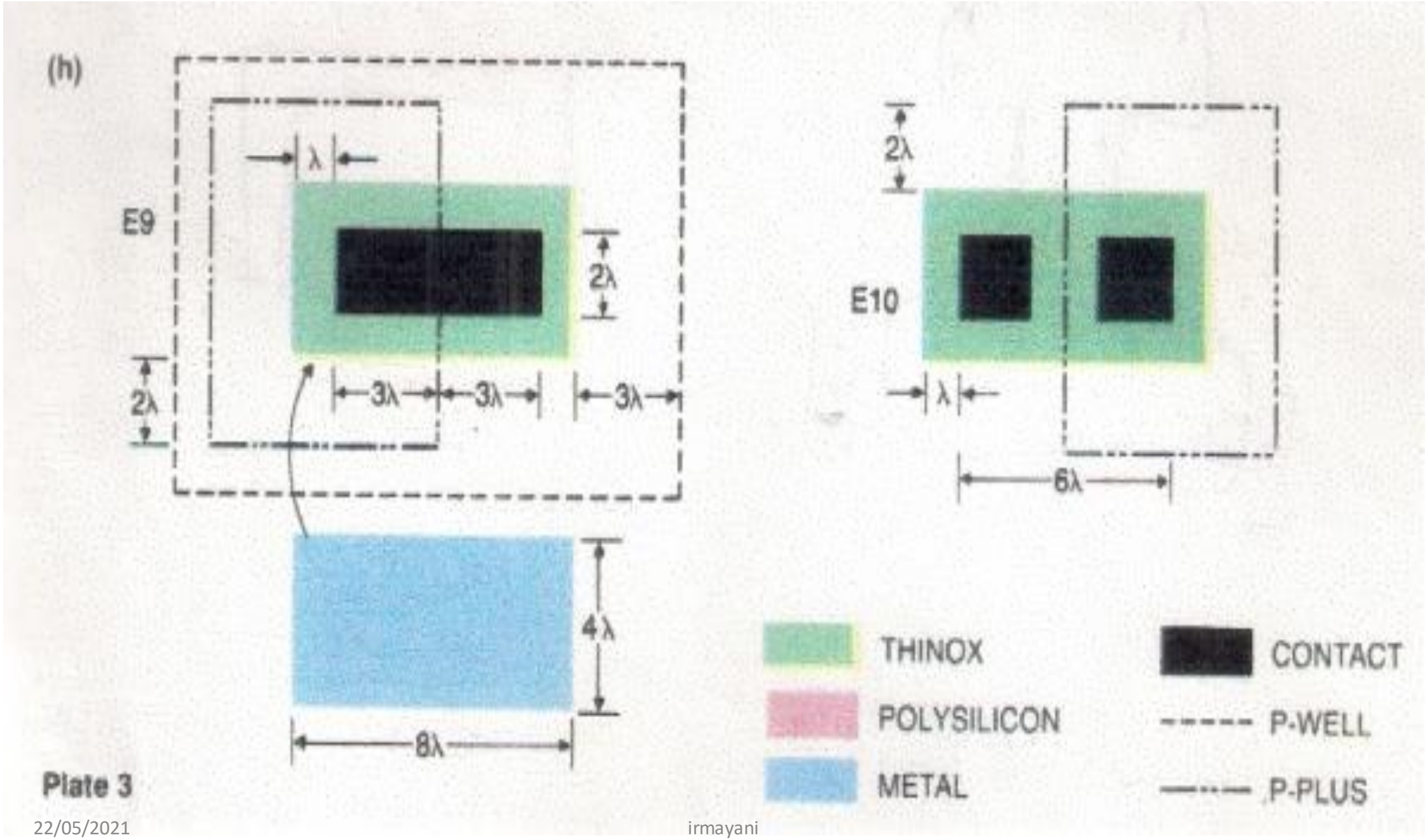
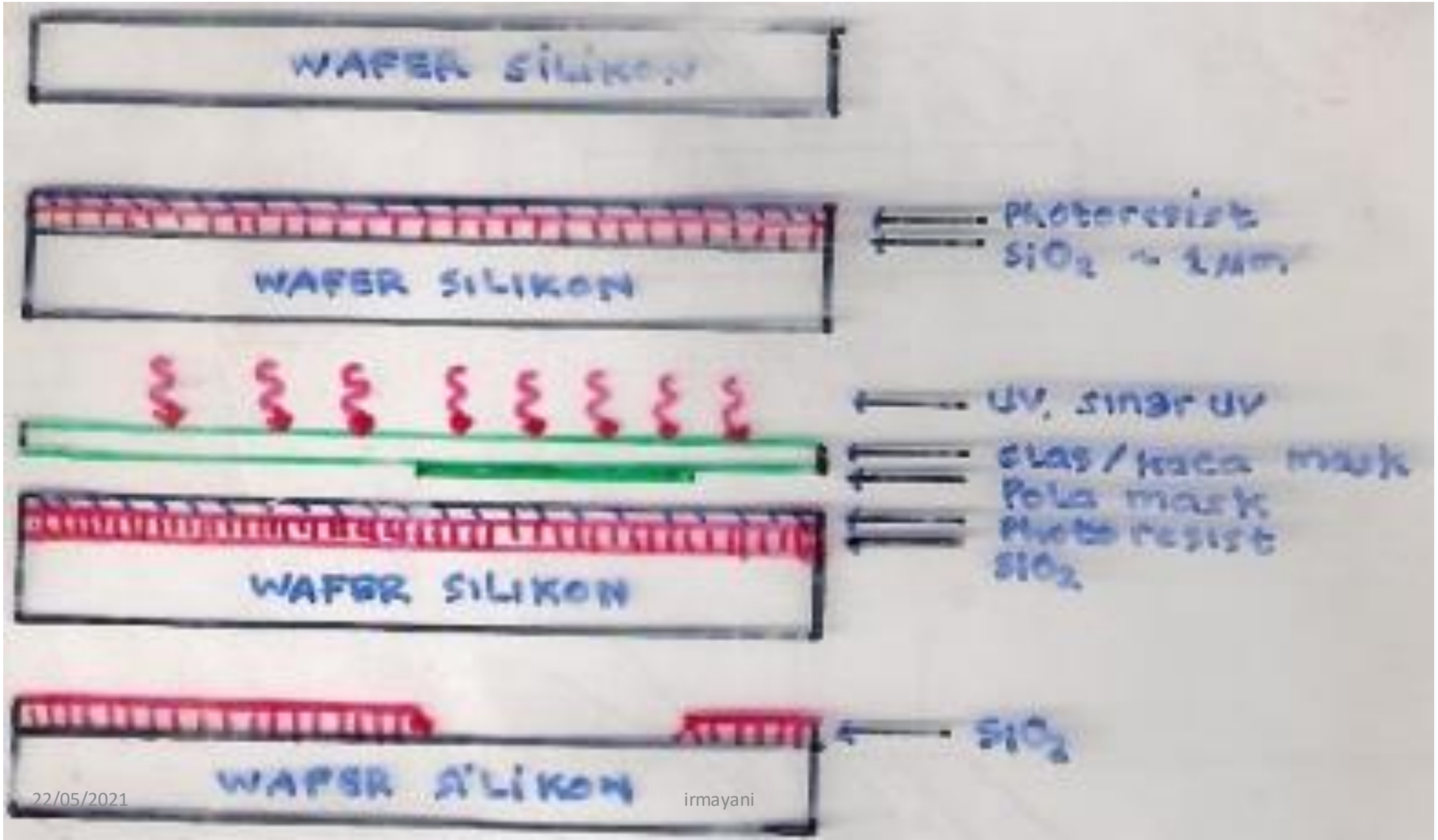


FIGURE 1.7. A CMOS NOR gate


(e)
E3
λ
E2
2λ
E3
λ
4λ
E1
2λ
λ
2λ
E1
λ
E3
E3
E4
2λ
(f)
F1
2λ
F2
3λ
F1
2λ
λ
F3
λ
F3
(g)
4λ
4λ
3λ
E7
E5
3λ
2λ
2λ
E8
λ
E6
2λ


(h)
E9
λ
2λ
2λ
3λ
3λ
3λ
4λ
8λ
E10
2λ
λ
6λ
THINOX
POLYSILICON
METAL
CONTACT
P-WELL
P-PLUS
Plate 3

Tahapan proses paterning SiO2



Tahapan pabrikasi GATE transistor nMOS

a) Patterning Lapisan SiO_2

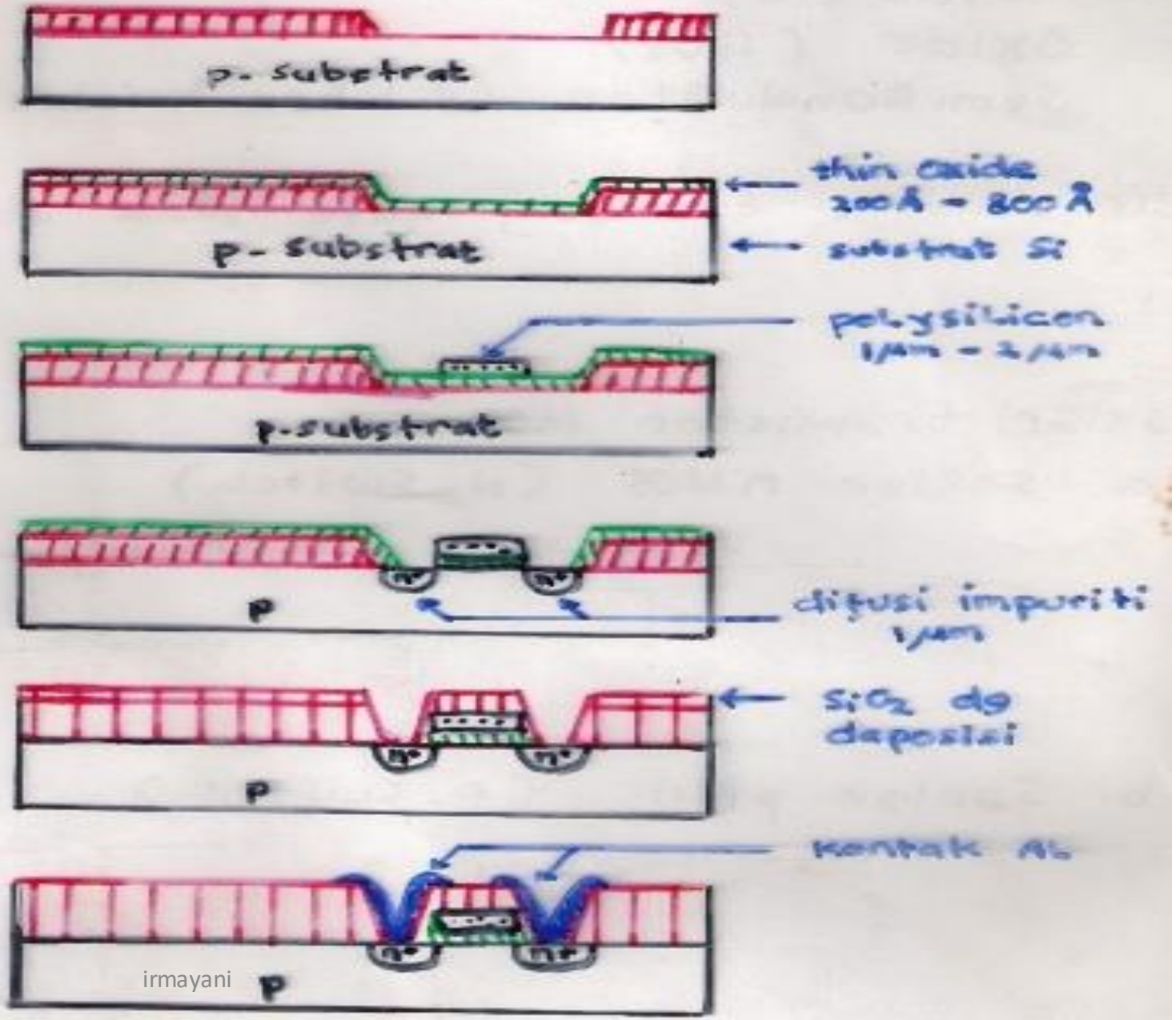
b) Oksidasi Gate

c) Patterning polysilicon

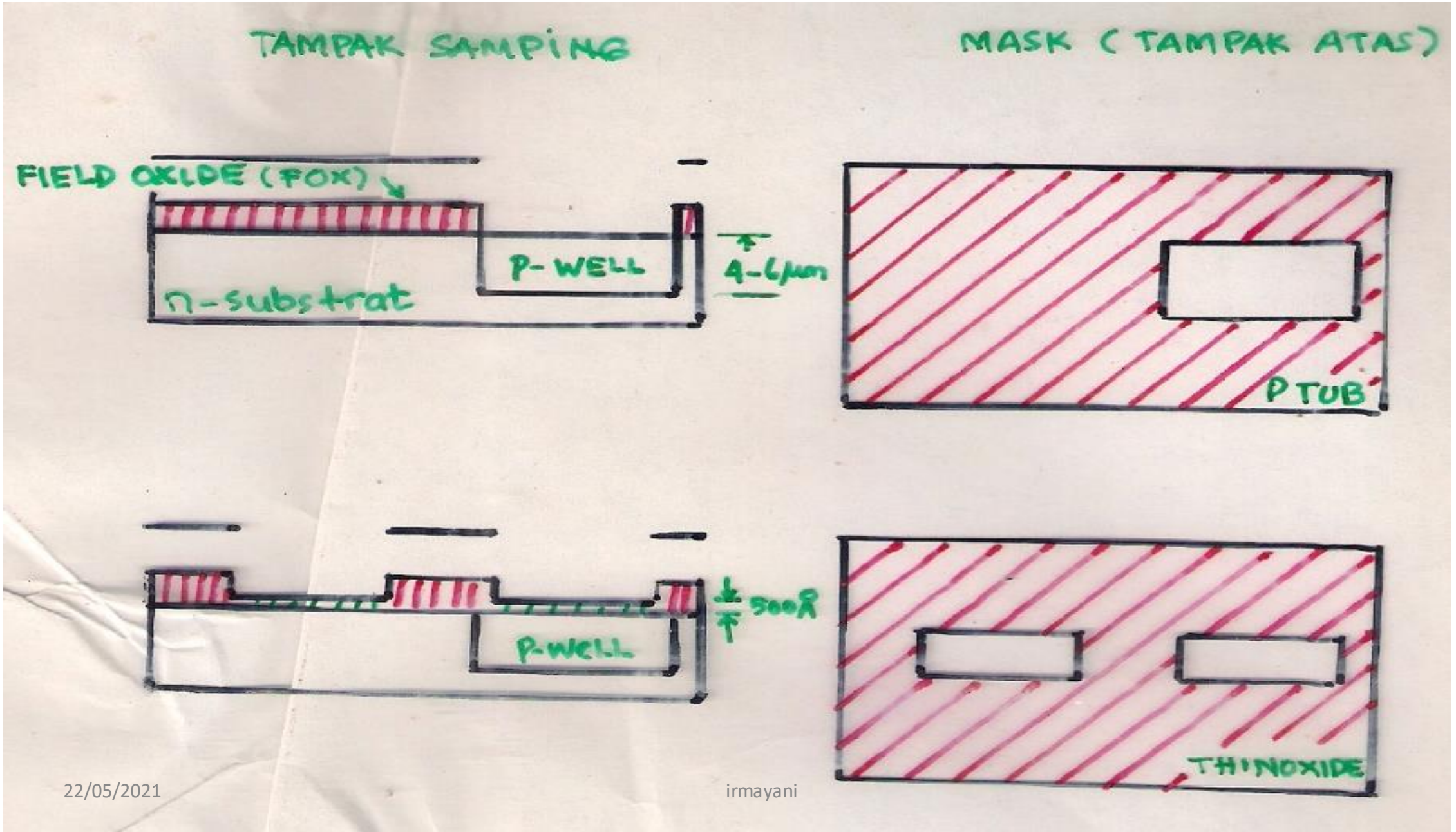
d) difusi atau implantasi

e) Lubang Kontak

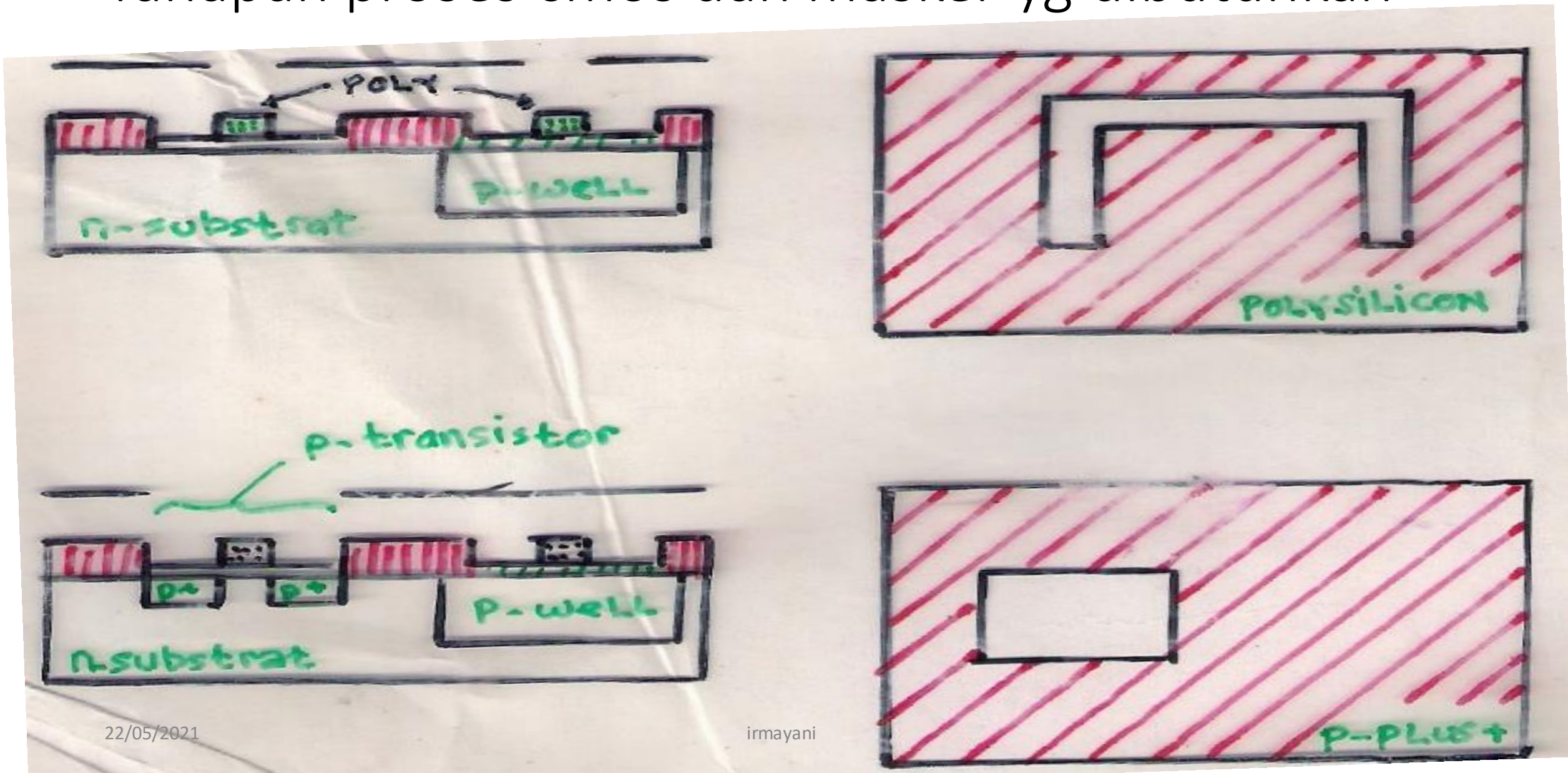
f) Patterning Lapisan AL

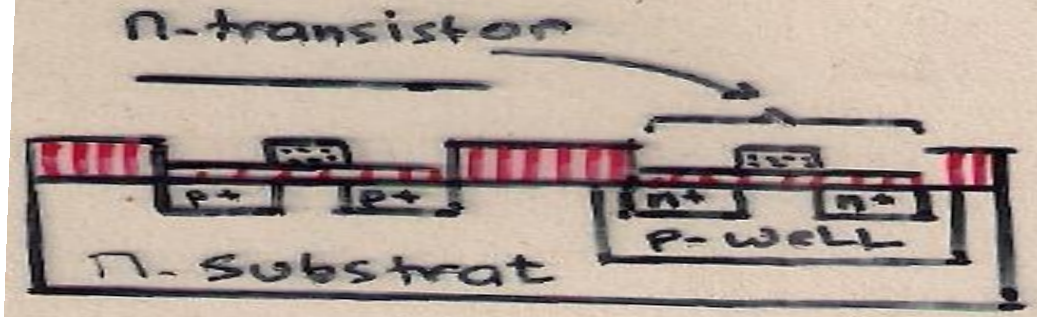


Tahapan proses cmos dan masker yg dibutuhkan

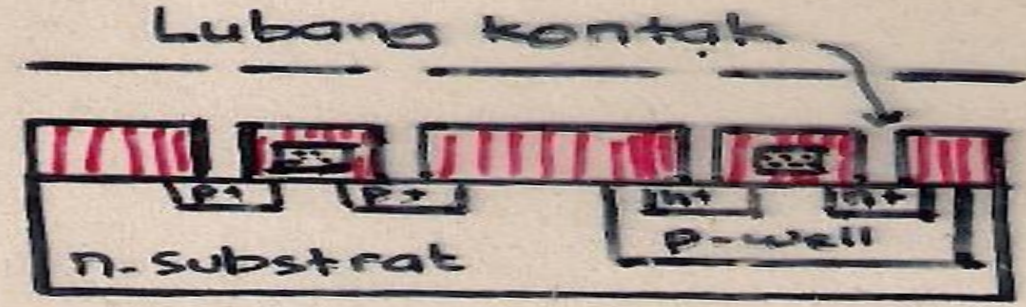


Tahapan proses cmos dan masker yg dibutuhkan

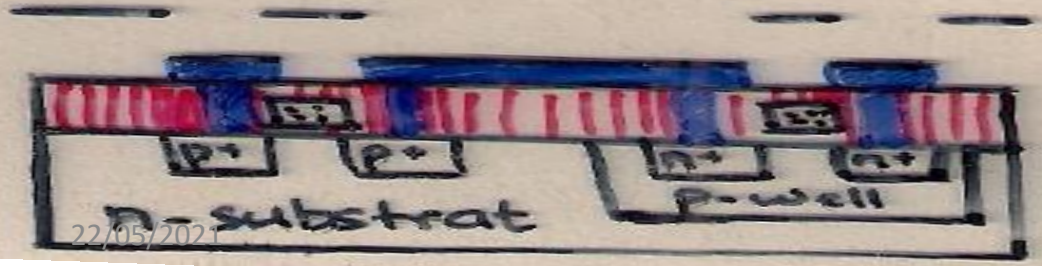


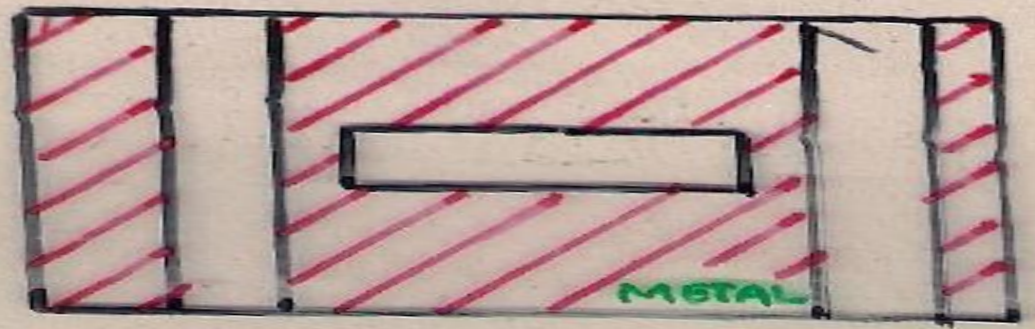

n-transistor
p+
p+
n+
n+
P-well
n- Substrat

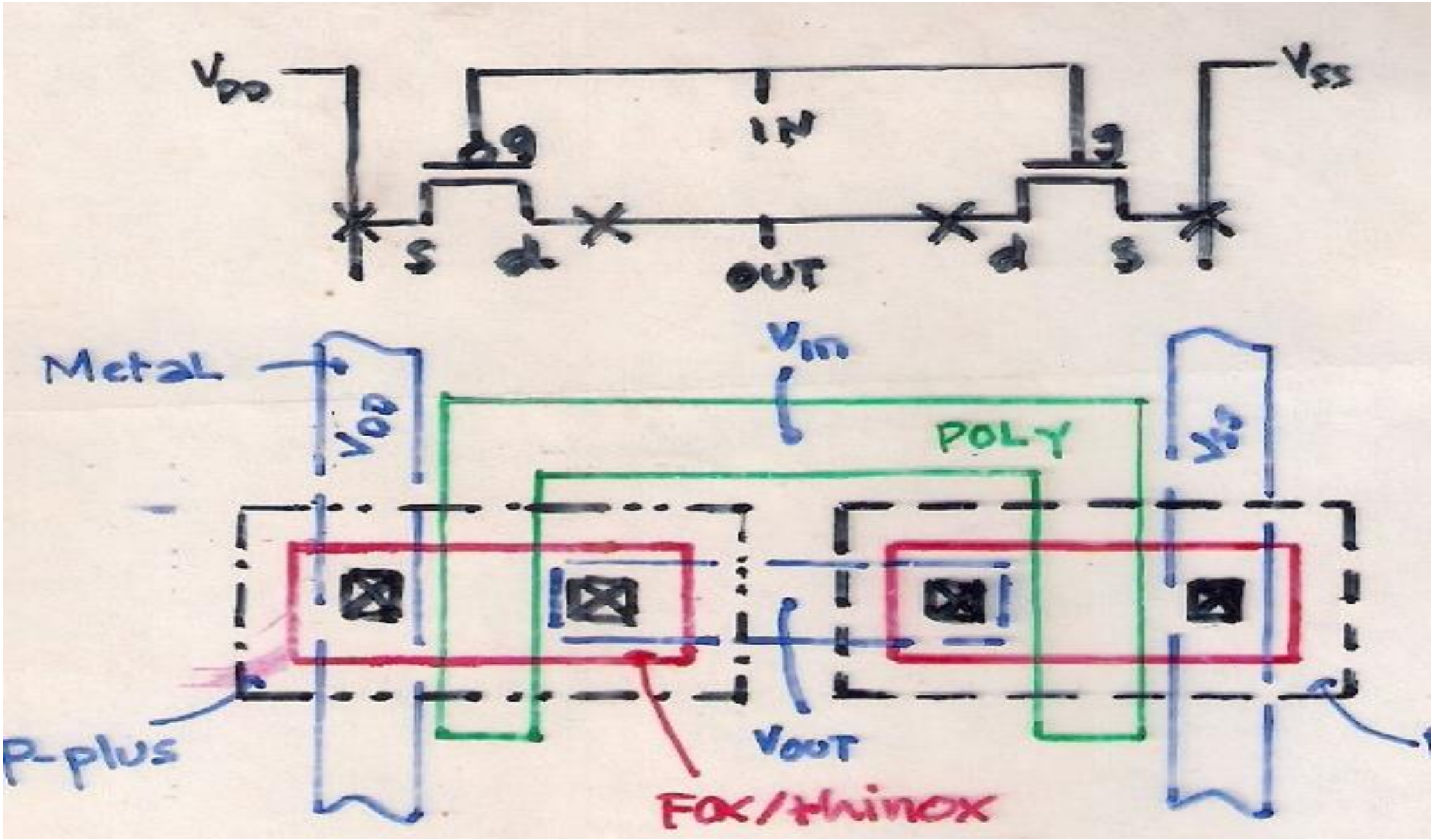

mask
P-PLUS

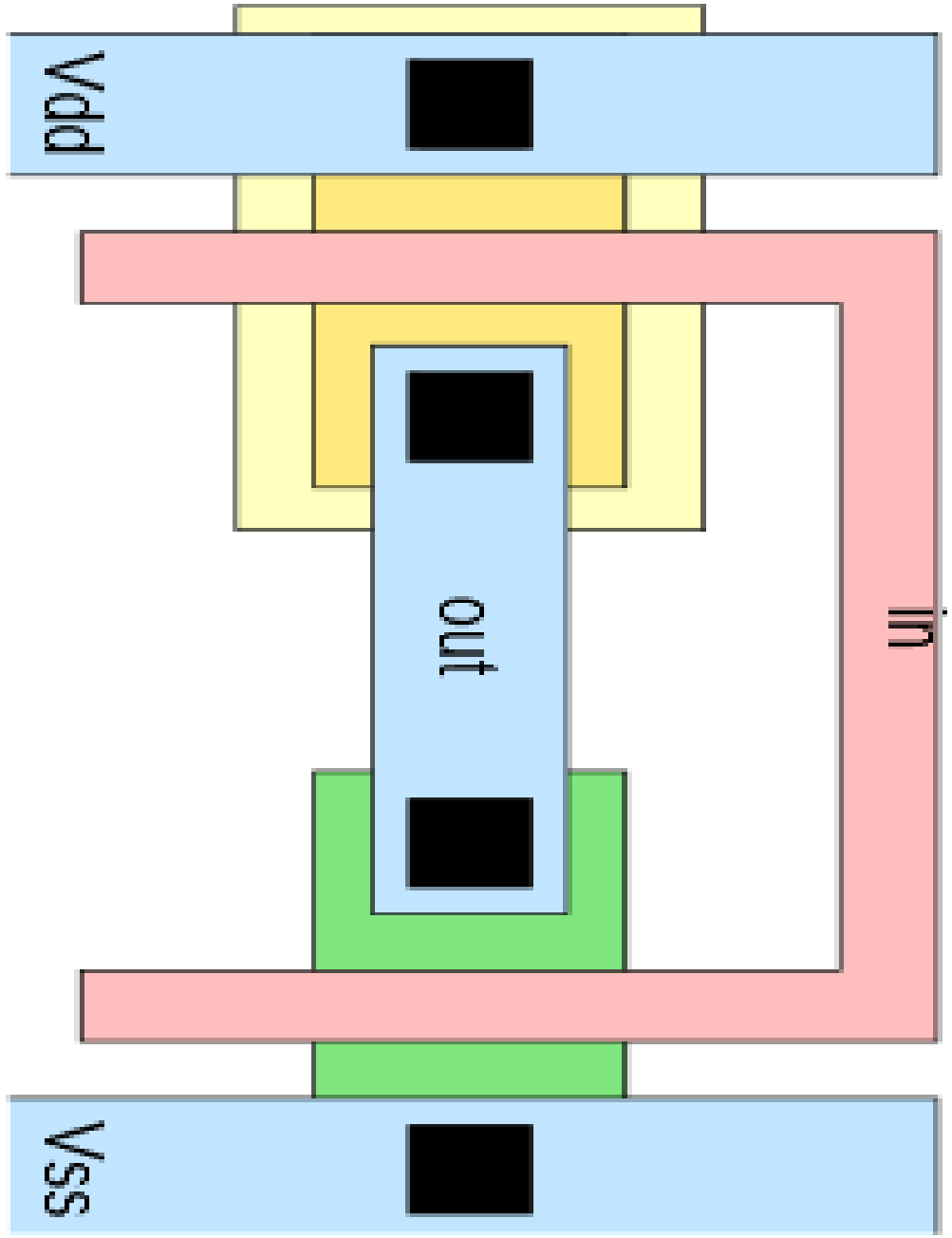

Lubang kontak
p+
p+
n+
n+
P-well
n- Substrat

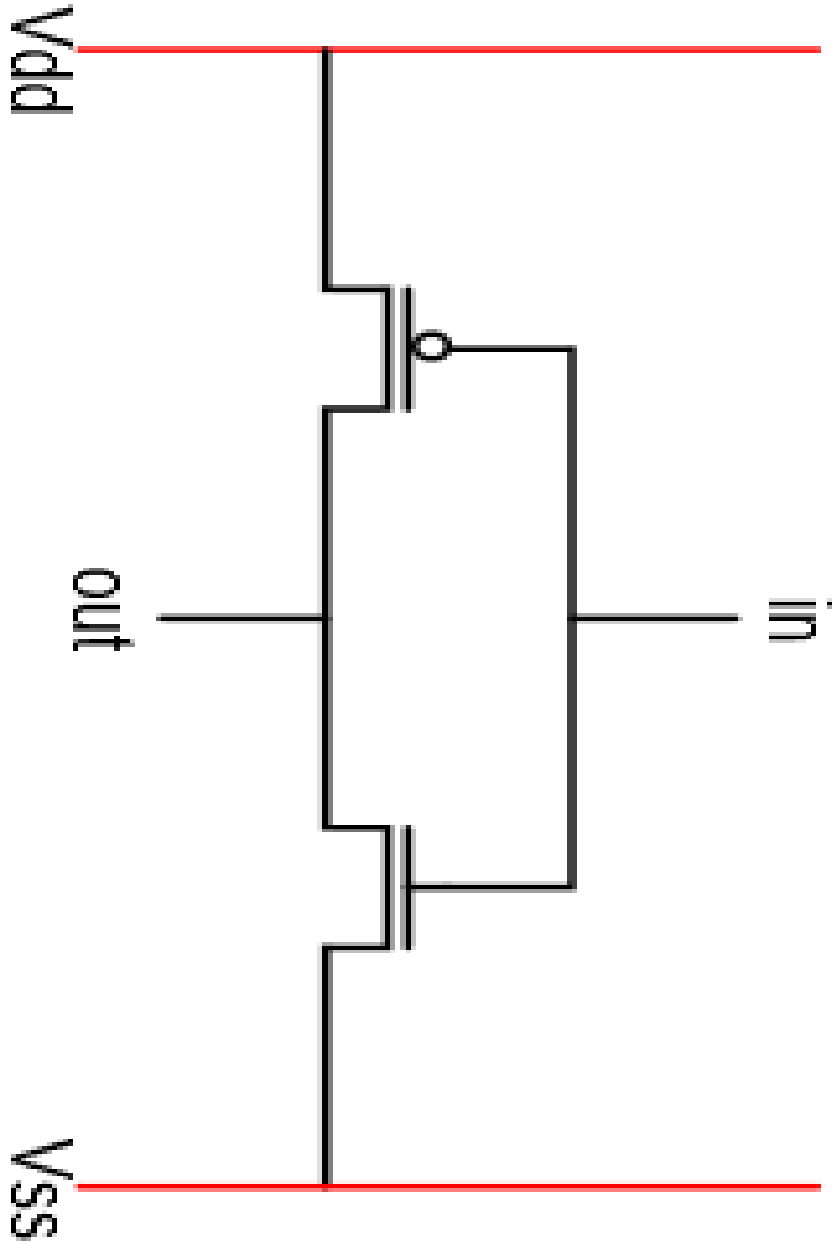

KONTAK

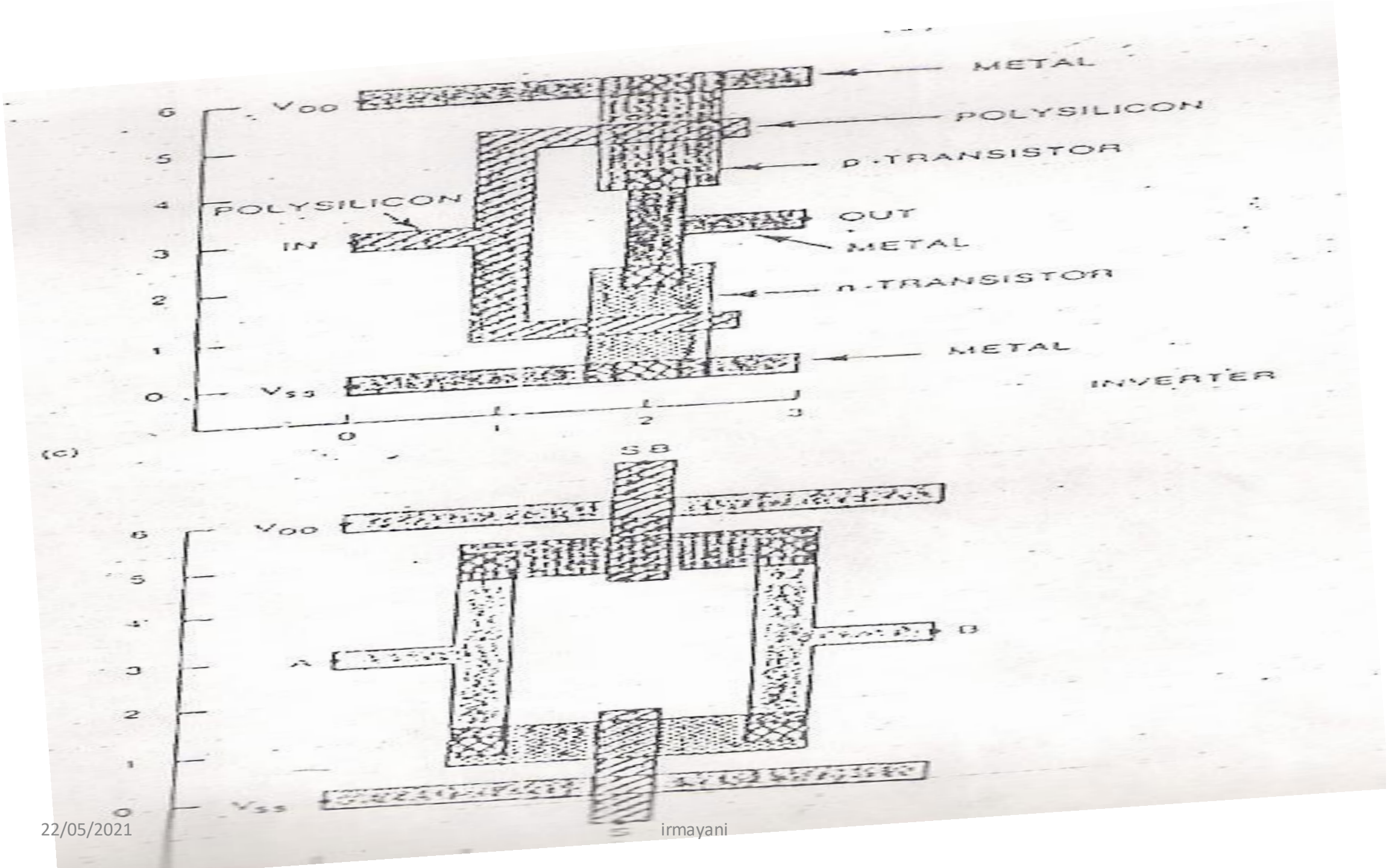

p+
p+
n+
n+
P-well
n- Substrat


METAL

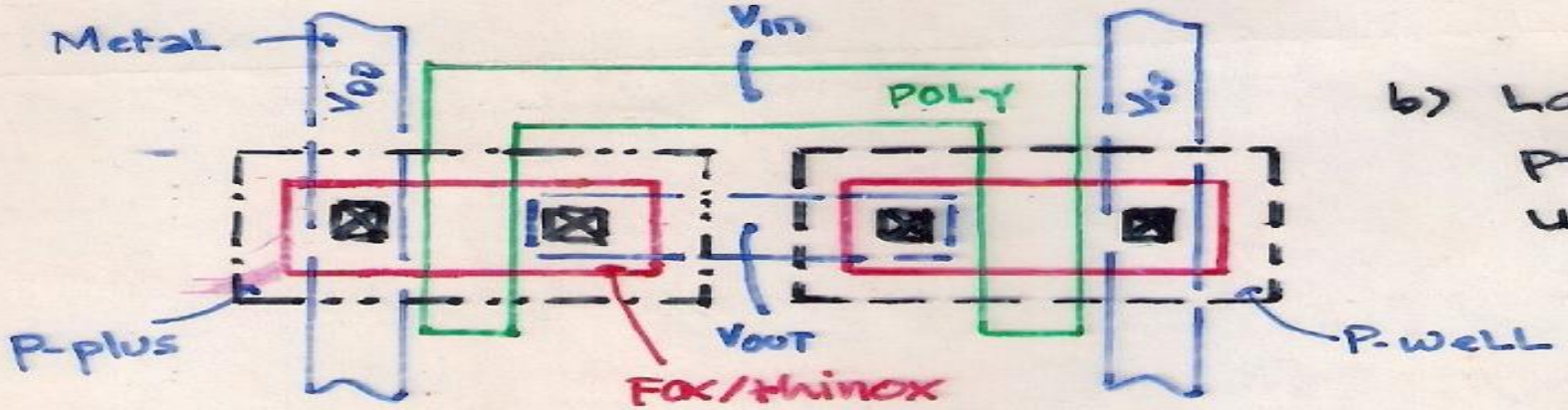

VDD
IN
VSS
S
d
OUT
d
S
Metal
Vin
POLY
VDD
VSS
VOUT
P-plus
FOX/thinox


Vdd
out
in
Vss

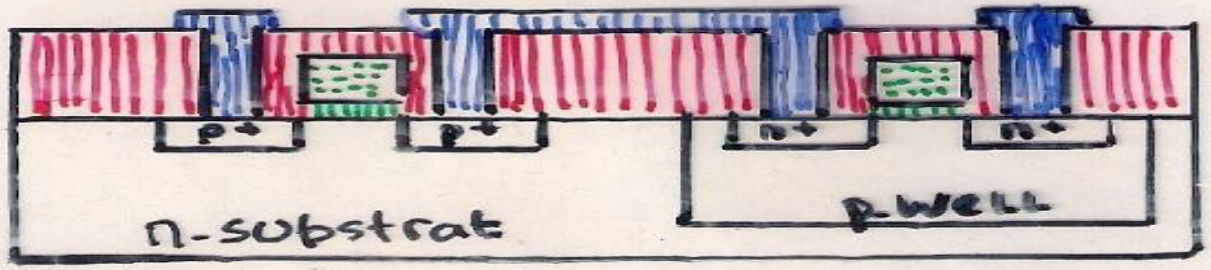

Vdd
out
in
Vss


METAL
POLYSILICON
p-TRANSISTOR
OUT
METAL
n-TRANSISTOR
METAL
INVERTER
V_{DD}
V_{SS}
POLYSILICON
IN
6
5
4
3
2
1
0
0
1
2
3
(c)
SB
V_{DD}
V_{SS}
A
B

a) skema hubungan pada inverter



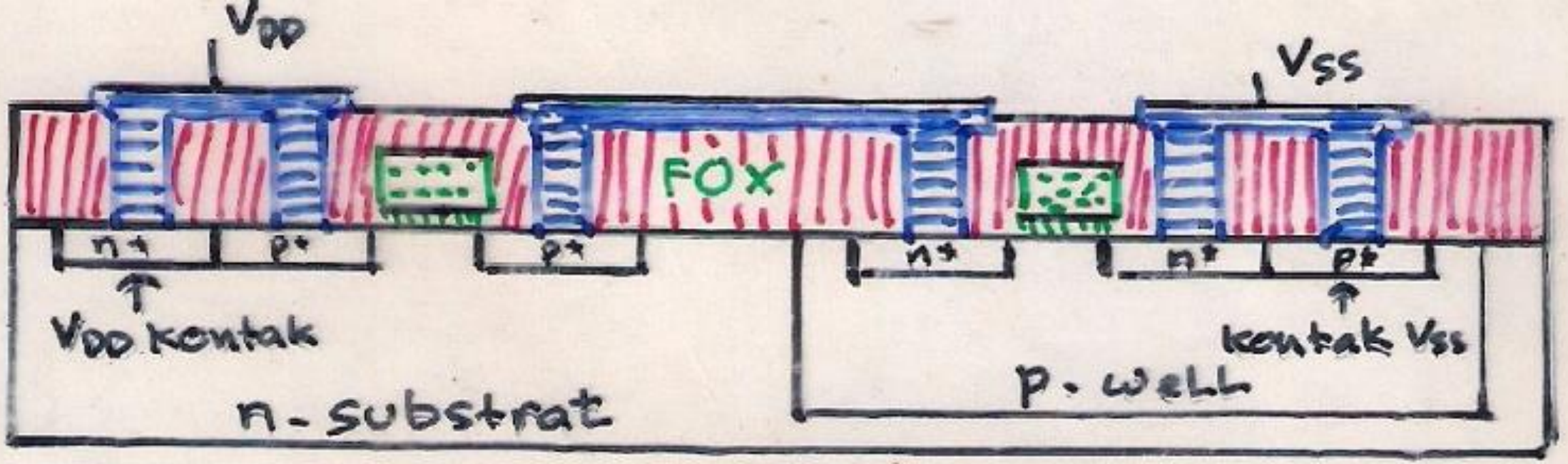
b) Layout transistor p-well CMOS untuk inverter

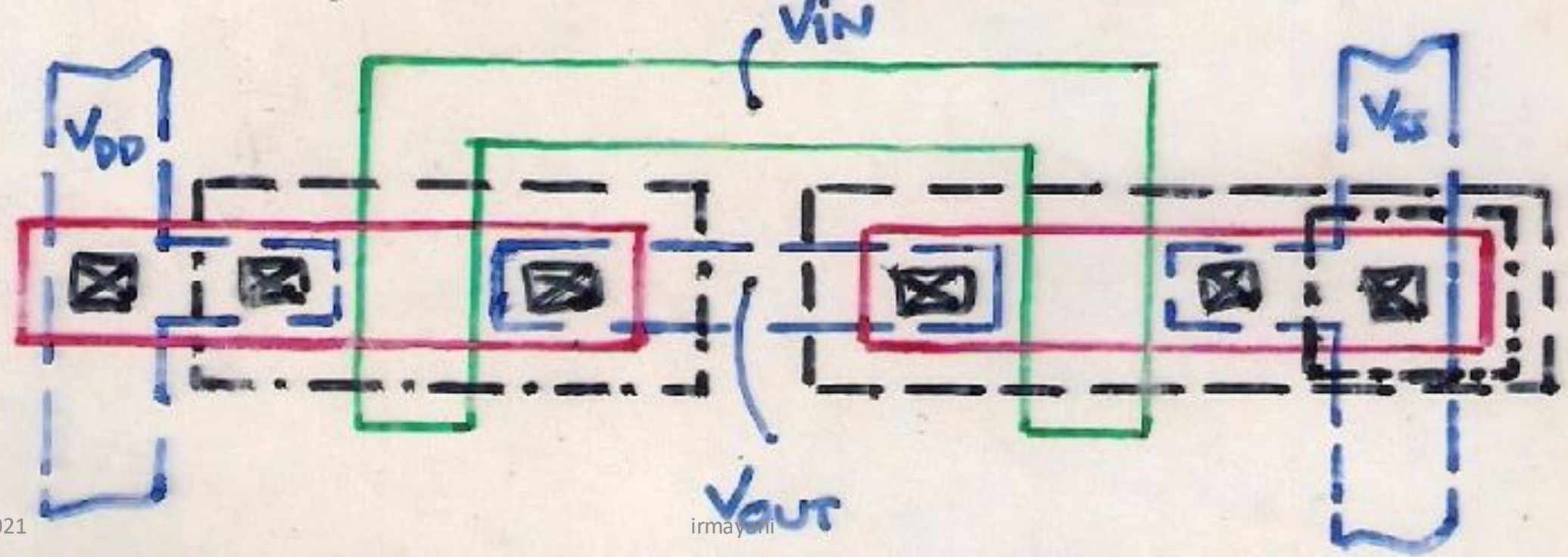


c) bentuk geometri inverter proses p-well

d) topologi realistik inverter

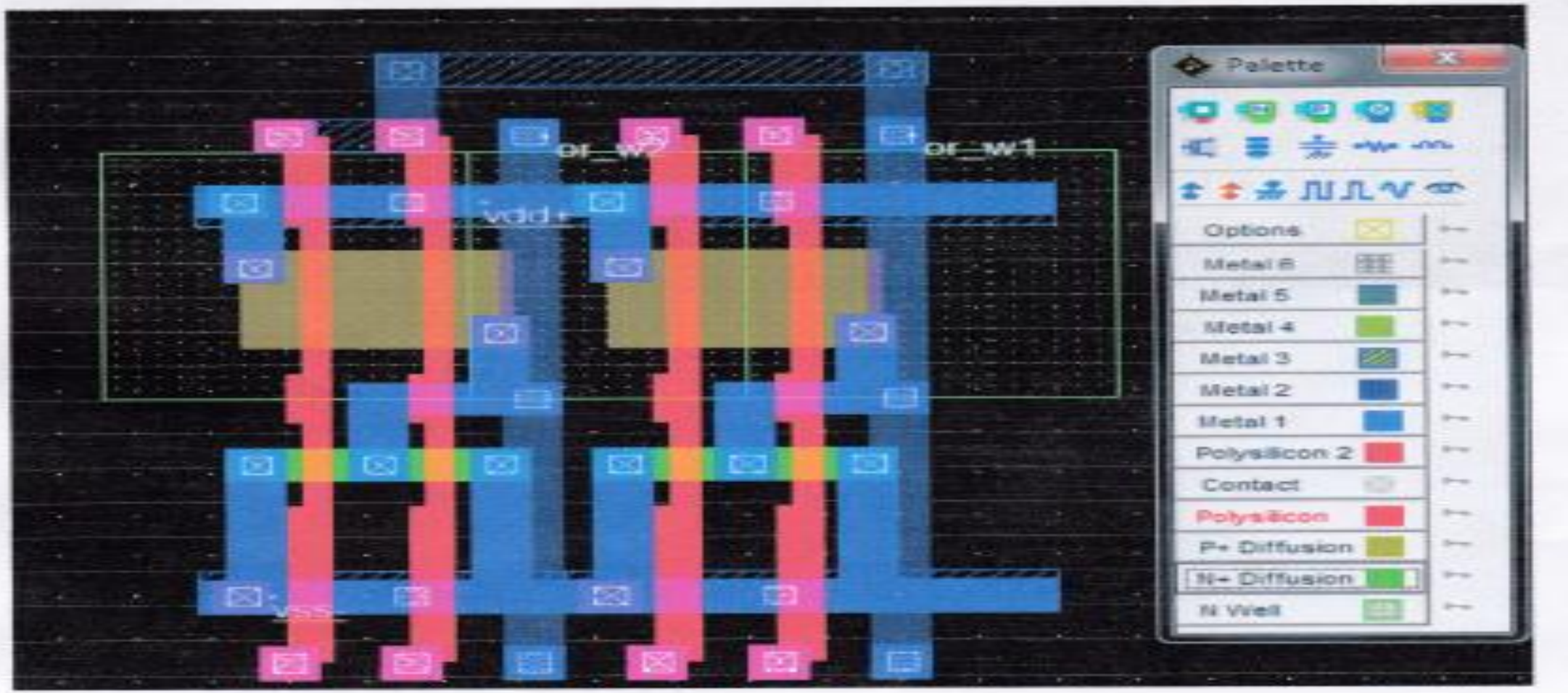
br 2.4 Layout & proses pembentukan transistor, inverter pada teknologi p-well CMOS


VDD
VSS
FOX
n+
p+
n+
p+
n+
n+
p+
VDD kontak
kontak VSS
p-well
n-substrat


VIN
VDD
VSS
VOUT


Palette
Options
Metal 6
Metal 5
Metal 4
Metal 3
Metal 2
Metal 1
Polysilicon 2
Contact
Polysilicon
P+ Diffusion
N+ Diffusion
N Well

Rangkaian layout ICnya:



Perancangan dgn Diagram stick