



YAYASAN PERGURUAN CIKINI  
INSTITUT SAINS DAN TEKNOLOGI NASIONAL

Jl. Moh. Kahfi II, Bhumi Srengseng Indah, Jagakarsa, Jakarta Selatan 12640  
Telp. 021-7270090 (hunting), Fax. 021-7866955, hp: 081291030024  
Email : humas@istn.ac.id Website : www.istn.ac.id

**SURAT PENUGASAN TENAGA PENDIDIK**

Nomor : 277 / 03.1 – G / IX / 2023

SEMESTER **GANJIL** , TAHUN AKADEMIK 2023 / 2024

Nama	: Edy Supriyadi, H., Ir. MT.	Status Pegawai	: Edukatif Tetap / Tidak Tetap
NIK	: 22870030	Program Studi	: Teknik Elektro / Teknik Mesin
Jabatan Akademik	: Lektor Kepala		

Bidang	Perincian Kegiatan	Tempat	Jam / Minggu	Kredit (sks)	Keterangan
<b>I</b> PENDIDIKAN Dan PENGAJARAN	<b>MENGAJAR DI KELAS ( KULIAH / RESPONSI DAN LABORATORIUM )</b>				
	1. Sistem Kendali Adaptif ( Klas A)			2	Senin, 08:00-09:40
	2. Komponen Sistem Kendali ( Klas A)			2	Senin, 10:00-11:40
	3. Mekatronika ( Klas A)			2	Selasa, 10.00-11.40
	4. Programmable Logic Control & Scada ( Klas A)			2	Jum'at, 10.00-01.40
	5. Sistem Kendali (Teknik Mesin S1 Klas K)			2	Sabtu, 13.00-14.40
	6.				-
	7.				-
	8.				-
	9.				-
	10.				-
	11.				-
	12.				-
	13.				-
	14.				-
	15.				-
	16.				-
	17. Membimbing Skripsi / Tugas Akhir				1
18. Menguji Skripsi / Tugas Akhir				1	
<b>II</b> PENELITIAN	1. Penelitian Ilmiah			1	
	2. Penulisan Karya Ilmiah			1	
	3. Penulisan Diktat Kuliah				
	4. Menerjemahkan Buku				
	5. Pembuatan Rancangan Teknologi				
	6. Pembuatan Rancangan & Karya Pertunjukan				
<b>III</b> PENGABDIAN DAN MASYARAKAT	1. Menduduki Jabatan di Pemerintahan				
	2. Pengembangan Hasil Pendidikan Dan Penelitian				
	3. Memberikan Penyuluhan/Pelatihan/Ceramah pada masyarakat				1
	4. Memberikan Pelayanan Kepada Masyarakat Umum				
	5. Menulis Karya Pengabdian Pada Masyarakat yang tidak dipublikasikan				
	6. Komersial / Kesepakatan				
<b>IV</b> UNSUR-UNSUR PENUNJANG	1. Jabatan Struktural				
	2. Penasehat Akademik				
	3. Berperan serta aktif dalam pertemuan ilmiah / seminar				1
	4. Pengembangan program kuliah / Kelompok Ilmu Elektro				
	5. Menjadi anggota panitia / Badan pada suatu Perguruan Tinggi				1
	6. Menjadi anggota Badan Lembaga Pemerintahan				
	7. Menjadi Anggota Organisasi Profesi				
	8. Mewakili PT / Lembaga Pemerintah duduk dalam Panitia antar Lembaga				
	9. Menjadi Anggota Delegasi Nasional ke Parlemen – Parlemen Internasional				
Jumlah Total				17	

Kepada yang bersangkutan akan diberikan gaji / honorarium sesuai dengan peraturan penggajian yang berlaku di Institut Sains dan Teknologi Nasional  
Penugasan ini berlaku dari tanggal **25 September 2023** sampai dengan tanggal **29 Februari 2024**.



Jakarta, 25 September 2023  
Dekan,

( Dr. Musfirah Cahya F.T.S.Si.,M.Si.)

**Tembusan :**

1. Direktur Akademik - ISTN
2. Direktur Non Akademik - ISTN
3. Ka. Biro Sumber Daya Manusia - ISTN
4. Kepala Program Studi Fak. ....
5. Arsip

**BIDANG PENDIDIKAN DAN PENGAJARAN**  
**BERITA ACARA PERKULIAHAN**  
**KULIAN OFF-LINE**

**PERIODE SEMESTER GASAL 2023-2024**

MATA KULIAH:

**PLC DAN SCADA KLAS A**

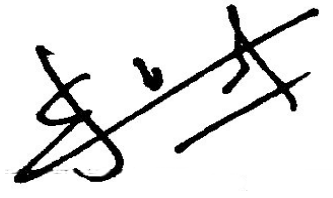
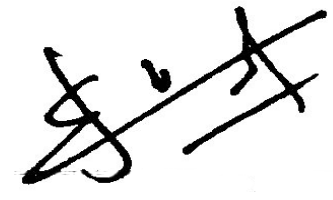
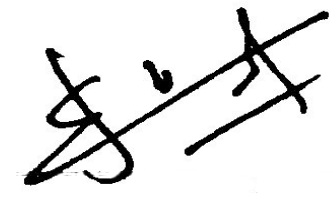
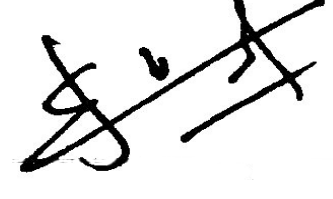
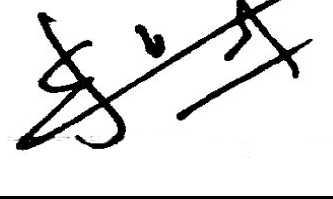
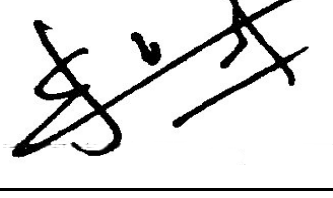
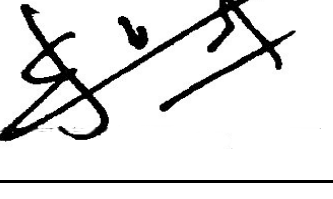
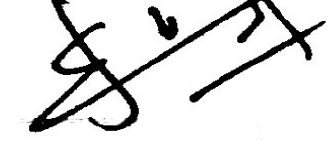
*LAMPIRAN BERITA ACARA PERKULIAHAN :*

- 1. SK.DEKAN FTI SEMESTER GASAL 2023/2024*
- 2. PRESENSI KEHADIRAN DOSEN DAN MATERI AJAR*
- 3. CONTOH HAND OUT MATERI AJAR*
- 4. NILAI KOMULATIF; KEHADIRAN,TUGAS, UTS DAN UAS*

**PROGRAM STUDI TEKNIK ELEKTRO S-1**  
**FAKULTAS TEKNIK**  
**INSTITUT SAINS DAN TEKNOLOGI NASIONAL**











Berita Acara Perkuliahan  
(Presentasi Kehadiran Dosen)  
SEMESTER GANJIL TAHUN AKADEMIK 2023/2024  
PROGRAM STUDI TEKNIK ELEKTRO S1 FTI - ISTN

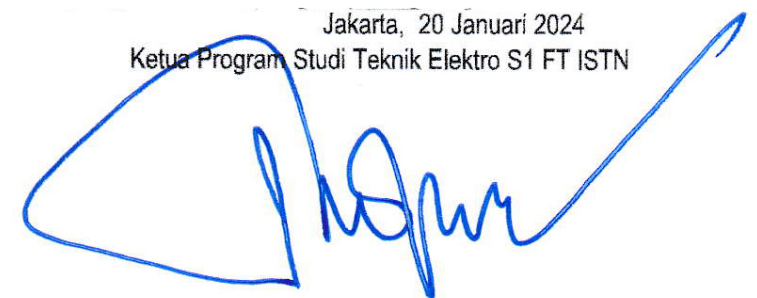
Nama Dosen		: 1. M. Febriansyah, ST. MT. 2. Ir. Edy Supriyadi, MT.		Hari	: Jum'at
Mata Kuliah		: PLC dan Scada / 22254TLS02/5		Jam	: 10.00-11.40
Kelas		: A		Ruang	:
No.	Hari /Tanggal	Materi Pembelajaran	Metode Belajar	Jml Mhs	Paraf Dosen
1.	Jum'at / 29-09-23	PENDAHULUAN; KONTRAK KULIAH, TM-1A, TM-1B, TM-1C , TUGAS-1	Ruangan Lab.Elektro S1	8	
2.	Jum'at / 06-10-23	HARDWARE PLC; TM-2, CX_SIMULATOR_INTRODUCTION_GUIDE, MENGGUNAKAN CX_PROGRAMMER OMRON, TUGAS-2	Ruangan Lab.Elektro S1	8	
3.	Jum'at / 13-10-23	DASAR PEMROGRAMAN PLC ( LADDER ); TM-3, TUGAS-3	Ruangan Lab.Elektro S1	8	
4.	Jum'at / 20-10-23	PEMROGRAMAN PLC STL / IL; TM-5 , SOFWARE STL/IL , TUGAS-4	Ruangan Lab.Elektro S1	8	
5.	Jum'at / 27-10-23	SEQUENCE PEMROGRAM PLC	Ruangan Lab.Elektro S1	8	
6.	Kamis/ 02-11-23	COMBINATION PROGRAMMING PLC	Ruangan Lab.Elektro S1	8	
7.	Kamis/ 09-11-23	RANDOM PROGRAMMING PLC	Ruangan Lab.Elektro S1	8	
8.	Kamis / 16-11-23	UJIAN TENGAH SEMESTER (UTS) SEMESTER GASAL 2023/2024	Ujian di Ruangan Lab Tek Elektro	8	



**Berita Acara Perkuliahan**  
**(Presentasi Kehadiran Dosen)**  
**SEMESTER GANJIL TAHUN AKADEMIK 2023/2024**  
**PROGRAM STUDI TEKNIK ELEKTRO S1 FTI - ISTN**

Nama Dosen	: 1. M. Febriansyah, ST. MT. 2. Ir. Edy Supriyadi, MT.			Hari	: Jum'at
Mata Kuliah	: PLC dan Scada / 22254TLS02/5			Jam	: 10.00-11.40
Kelas	: A			Ruang	:
No.	Hari /Tanggal	Materi Pembelajaran	Metode Belajar	Jml Mhs	Paraf Dosen
9	Senin / 20-11-23	PEMROGRAMAN LADDER LEVEL MENENGAH	Ruangan Lab.Elektro S1	8	
10	Kamis/ 07-12-23	PENERAPAN FUNCTION BLOK DIAGRAM	Ruangan Lab.Elektro S1	8	
11	Kamis/ 14-12-23	PENGENALAN SISTEM SCADA	Ruangan Lab.Elektro S1	8	
12	Kamis/ 21-12-23	PENGENALAN PLC SO BASIC SCHNAIDER	Ruangan Lab.Elektro S1	8	
13	Kamis/ 28-12-23	PERINTAH TIMER PADA PLC SCHNAIDER	Ruangan Lab.Elektro S1	8	
14	Kamis/ 06-1-24	PERINTAH COUNTER & ARITMATIK PADA PLC SCHNAIDER	Ruangan Lab.Elektro S1	8	
15	Kamis/ 11-1-24	PERINTAH HMI PLC SOMACHINE BASIC + KISI KISI	Ruangan Lab.Elektro S1	8	
16	Kamis/ 17-1-24	UJIAN AKHIR SEMESTER GASAL 23/24	Tatap Muka diruang ProdiTek Elektro	8	

Jakarta, 20 Januari 2024  
Ketua Program Studi Teknik Elektro S1 FT ISTN



( Dr-Ing H. Agus Sofwan, M.Eng.Sc )



**DAFTAR HADIR PESERTA KULIAH MAHASISWA  
GANJIL - REGULER - TAHUN 2023/2024**

FAK / JURUSAN  
MATAKULIAH  
KELAS / PESERTA  
KURIKULUM  
DOSEN

Teknik Elektro S1  
Progammable Logic Control & Scada / 22254TLS02 / 5  
A / 9  
2023  
1.M. Febriansyah, ST. MT.  
2.Eddy Supriyadi, Ir. MT.

HARI / TANGGAL Jumat  
22254TLS02 / 5  
JAM KULIAH 10:00-11:45  
RUANG C-6

Hal : 1 / 1

No	N I M	NAMA MAHASISWA	TANGGAL PERTEMUAN								JUMLAH
			29/9/23	6/10/23	13/10/23	20/10/23	27/10	3/11	9/11	16/11	
1	19220004	ABDULLAH KHOIRURAFIFIL UMAM	RA	RA	RA	✓	✓	✓	✓	✓	
2	20220001	MUHAMMAD AGUNG RAHMANSYAH									
3	20220004	MUHAMMAD RAFLY JULIANSYAH	RA	RA	RA	RA	RA	✓	✓	✓	
4	20220007	FAZRYAN DWICAHYA	RA	RA	RA	RA	RA	✓	✓	✓	
5	20220009	ABYAN SYAFIQ ANDANA PUTRA	RA	RA	RA	RA	RA	✓	✓	✓	
6	21220002	WAHYU OCTAVIANO	RA	RA	RA	RA	RA	RA	RA	RA	
7	21220003	HARRY TODING KARURUNG	RA	RA	RA	RA	RA	RA	RA	RA	
8	23220501	FIRDAN MAULANA GIBRANI	RA	RA	RA	RA	RA	RA	RA	RA	
9	23220701	ANTONIUS PURWOSUTEDJO	RA	RA	RA	RA	RA	RA	RA	RA	

**CATATAN :**

Perubahan peserta hanya diperkenankan bila ada persetujuan tertulis dari Pelaksana Jurusan.

25/09/2023

Jakarta, .....

Dosen Pengajar,

( M. Febriansyah, ST. MT. )

( Eddy Supriyadi, Ir. MT )



DAFTAR HADIR PESERTA KULIAH MAHASISWA  
GANJIL - REGULER - TAHUN 2023/2024

FAK / JURUSAN  
MATAKULIAH  
KELAS / PESERTA  
KURIKULUM  
DOSEN

Teknik Elektro S1  
Progammable Logic Control & Scada / 22254TLS02 / 5  
A / 9  
2023  
1.M. Febriansyah, ST. MT.  
2.Eddy Supriyadi, Ir. MT.

HARI / TANGGAL Jumat  
22254TLS02 / 5  
JAM KULIAH 10:00-11:45  
RUANG C-6

Hal : 1 / 1

No	N I M	NAMA MAHASISWA	TANGGAL PERTEMUAN							UAS	JUMLAH
			30/11	7/12	14/12	21/12	28/12	4/1/24	11/1/24		
1	19220004	ABDULLAH KHOIRURAFIFIL UMAM	RA	RA	RA	RA	RA	RA	RA	V	
2	20220001	MUHAMMAD AGUNG RAHMANSYAH									
3	20220004	MUHAMMAD RAFLY JULIANSYAH	RA	RA	RA	RA	RA	RA	RA	V	
4	20220007	FAZRYAN DWICAHYA	RA	RA	RA	RA	RA	RA	RA	V	
5	20220009	ABYAN SYAFIQ ANDANA PUTRA	RA	RA	RA	RA	RA	RA	RA	V	
6	21220002	WAHYU OCTAVIANO	RA	RA	RA	RA	RA	RA	RA	V	
7	21220003	HARRY TODING KARURUNG	RA	RA	RA	RA	RA	RA	RA	V	
8	23220501	FIRDAN MAULANA GIBRANI	RA	RA	RA	RA	RA	RA	RA	V	
9	23220701	ANTONIUS PURWOSUTEDJO	RA	RA	RA	RA	RA	RA	RA	V	

CATATAN :

Perubahan peserta hanya diperkenankan bila ada persetujuan tertulis dari Pelaksana Jurusan.

25/09/2023

Jakarta, .....

Dosen Pengajar,

( M. Febriansyah, ST. MT. )

( Eddy Supriyadi, Ir.MT )

# DAFTAR NILAI

## SEMESTER GANJIL REGULER TAHUN 2023/2024


Program Studi : Teknik Elektro S1  
 Matakuliah : Progmable Logic Control & Scada  
 Kelas / Peserta : A  
 Perkuliahan : Kampus ISTN Bumi Srengseng Indah  
 Dosen : M. Febriansyah, ST. MT.  
 Eddy Supriyadi, Ir. MT.

Hal. 1/1

No	NIM	N A M A	ABSEN	TUGAS	UTS	UAS	MODEL	PRESENTASI	NA	HURUF
			10%	20%	35%	35%	0%	0%		
1	19220004	Abdullah Khoirurafifil Umam	69	70	60	70	0	0	66.4	B-
2	20220001	Muhammad Agung Rahmansyah	0	0	0	0	0	0	0	
3	20220004	Muhammad Rafly Juliansyah	100	83	80	80	0	0	82.6	A
4	20220007	Fazryan Dwicahya	100	83	80	80	0	0	82.6	A
5	20220009	Abyan Syafiq Andana Putra	100	83	85	80	0	0	84.35	A
6	21220002	Wahyu Octaviano	75	75	65	70	0	0	69.75	B
7	21220003	Harry Toding Karurung	100	89	65	70	0	0	75.05	A-
8	23220501	Firdan Maulana Gibrani	69	70	75	70	0	0	71.65	B
9	23220701	Antonius Purwosutedjo	100	83	70	70	0	0	75.6	A-

Jakarta, 31 January 2024

Dosen Pengajar 1



**M. Febriansyah, ST. MT.**

Dosen Pengajar 2



**Eddy Supriyadi, Ir. MT.**

Rekapitulasi Nilai							
A	3	B+	0	C+	0	D+	0
A-	2	B	2	C	0	D	0
		B-	1	C-	0	E	0



# **FUNCTION BLOCK**



# PENDAHULUAN

**Program Ladder** awalnya dikembangkan untuk membantu dalam pembacaan rangkaian relay dokumen yang digunakan dalam proses produksi. Semua perangkat sirkuit listrik seperti tombol, katup, dan solenoida dapat direpresentasikan sebagai simbol pada switchboard, termasuk koneksinya.

Bahasa pemrograman FBD adalah salah satu bahasa yang sering digunakan pada PLC selain bahasa pemrograman ladder.

Sesuai dengan standar **IEC 1131-3 (International Electrotechnical Commission)** pemrograman PLC dapat diprogram dalam lima (5) bahasa pemrograman yang biasa digunakan, yaitu: ladder diagrams (LAD), instruction list (IL), sequential function charts (SFC), structured text (ST) dan function block diagrams (FBD).

- ❖ FBD (Function Block Diagram)
- ❖ LD (Ladder Diagram)
- ❖ ST (Structure Text)
- ❖ IL (Instruction List ) dan
- ❖ SFC (Sequential Function Chart)

# FUNCTION BLOCK DIAGRAM

Bahasa pemrograman FBD (Function Block Diagram) merupakan bahasa pemrograman grafis yang menggunakan block-block gerbang digital, counter, timer, operasi aritmatika dan block-block lainnya, tergantung dari perangkat smart relay dan software yang digunakan untuk menyusun programnya.

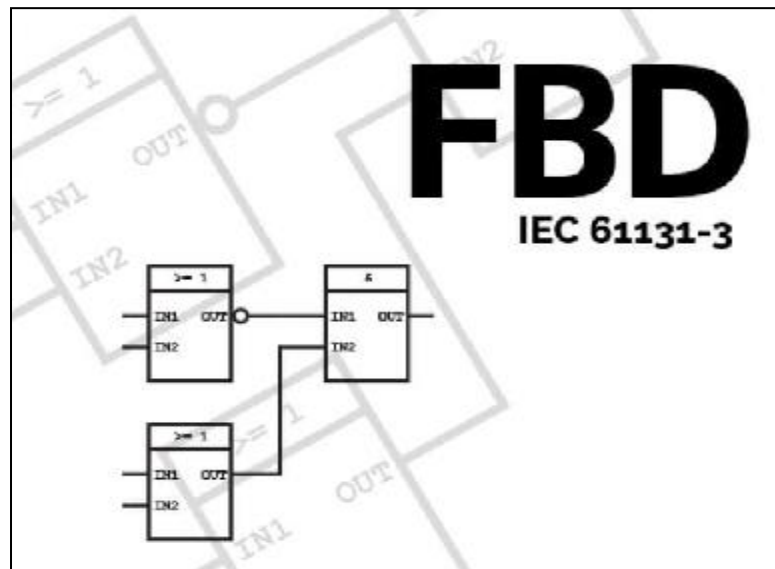
Pemrograman menggunakan bahasa FB (Function Block) dinilai lebih memudahkan pengguna karena program FB (Function Block) sendiri berbentuk grafis atau block-block logika, sehingga pengguna atau programmer hanya perlu menyusun block-block tersebut menjadi sebuah instruksi.

# FUNCTION BLOCK DIAGRAM

Pemrograman FBD terdiri dari 3 bagian yang dimulai dari sebelah kiri yaitu bagian **INPUT**, input ini bisa berupa saklar, push button, dan sensor.

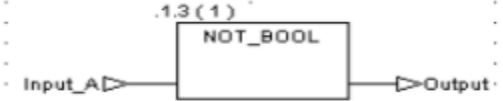
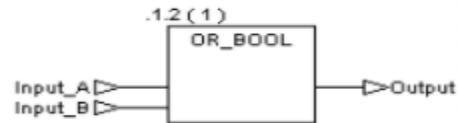
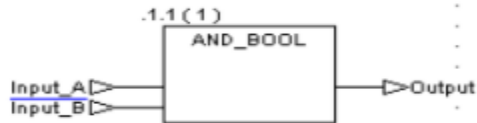
bagian **FUNCTION**, function ini adalah logika program yang terdiri dari block-block fungsi seperti: AND, OR, NOT, timer, counter, aritmatika dan fungsi-fungsi lainnya.

Bagian yang terakhir adalah **OUTPUT**, untuk output ini dapat berupa: lampu, selenoid, motor ataupun relay.

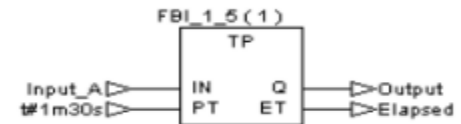
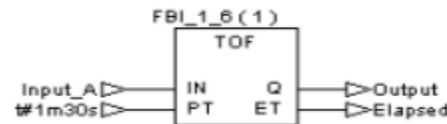
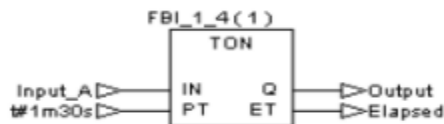


# FUNCTION BLOCK DIAGRAM

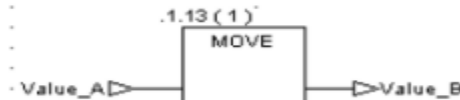
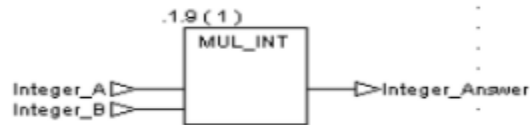
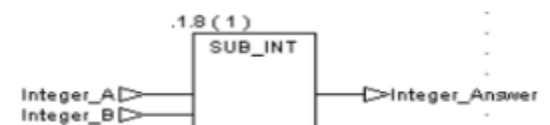
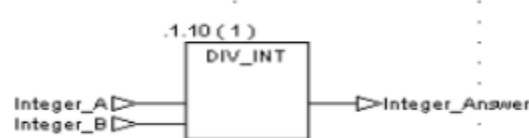
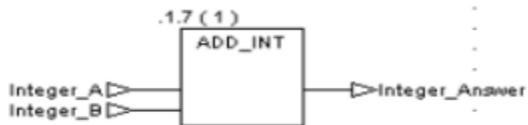
## Basic Functional Blocks:



## Basic Timing Functions



## Basic Math Functions



**AutomationForum.co**

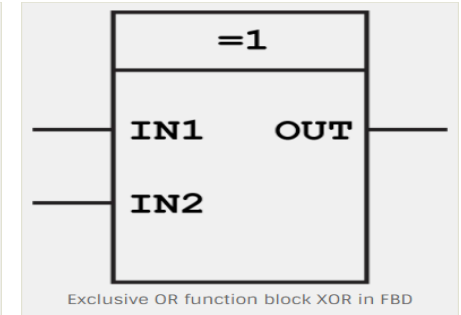
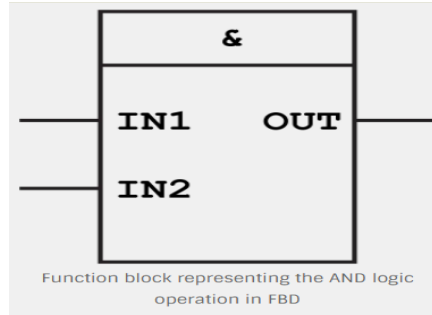
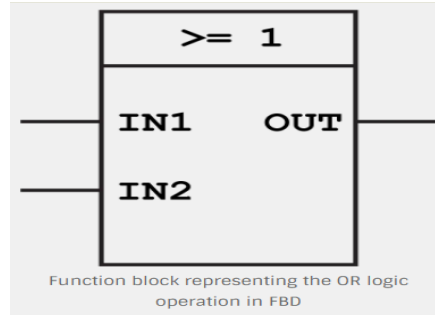
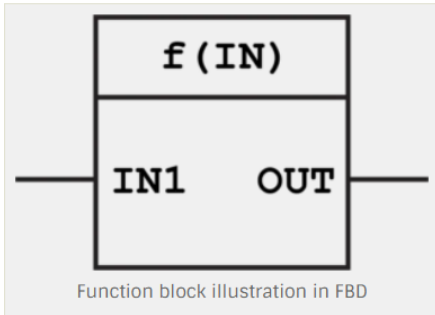
Beberapa contoh fungsi adalah fungsi trigonometri seperti sin dan cos, fungsi aritmatika seperti penambahan dan perkalian, dan fungsi pemrosesan string. Fungsi pemblokiran termasuk PID, penghitung dan penghitung waktu.

# FUNCTION BLOCK DIAGRAM

FBD adalah program yang dibangun dengan menghubungkan beberapa fungsi dan blok fungsi yang menghasilkan blok yang menjadi input selanjutnya. Tidak seperti pemrograman tekstual, tidak ada variabel yang diperlukan untuk meneruskan data dari satu subrutin ke subrutin lainnya karena kabel yang menghubungkan blok yang berbeda secara otomatis merangkum dan mentransfer data.

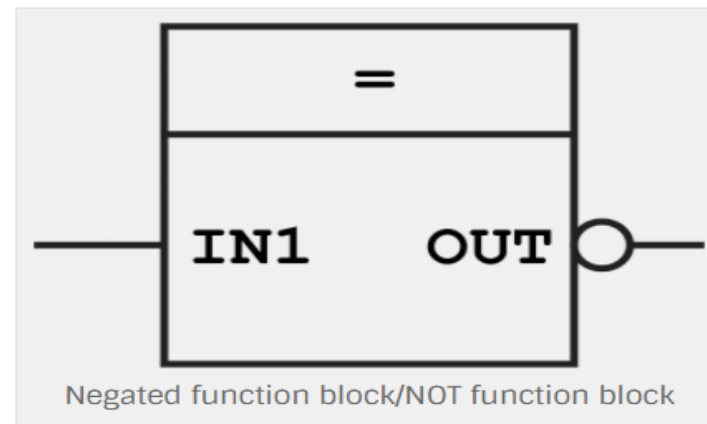
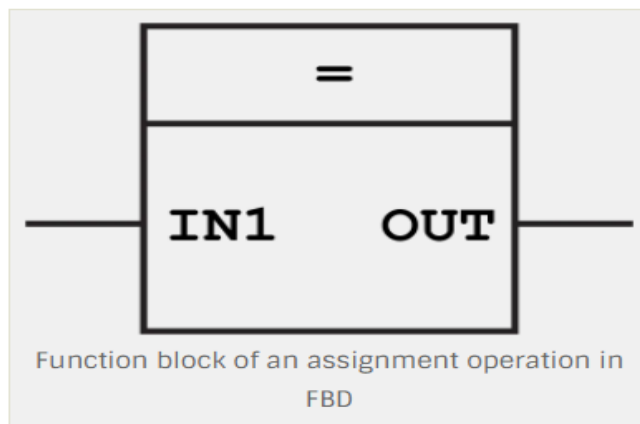
FBD dapat digunakan untuk mengekspresikan perilaku blok fungsi, serta program. Itu juga dapat digunakan untuk menggambarkan langkah-langkah, tindakan, dan transisi dalam grafik fungsi sekuensial (SFC).

# SIMBOL PADA FUNCTION BLOCK

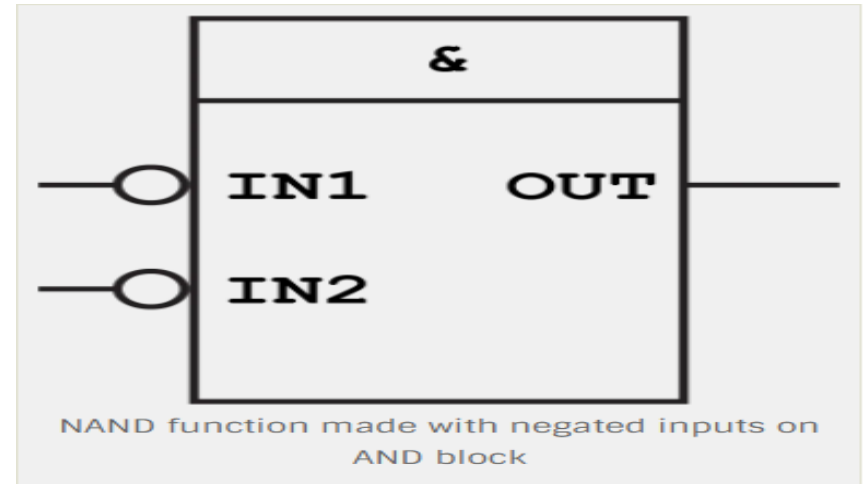
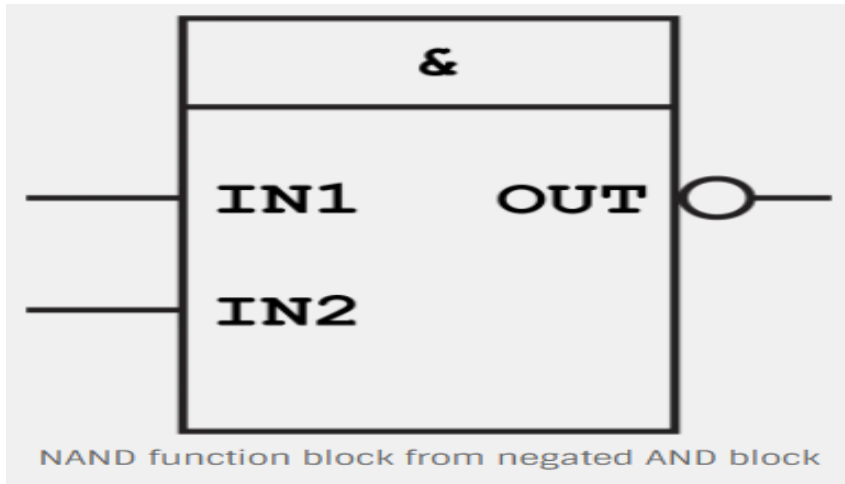


$\geq 1$		IN1	
		0	1
IN2	0	0	1
	1	1	1

$\&$		IN1	
		0	1
IN2	0	0	0
	1	0	1




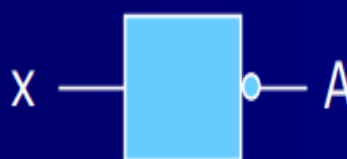
# PERBEDAAN SIMBOL NAND



NAND		IN1	
		0	1
IN2	0	1	1
	1	1	0

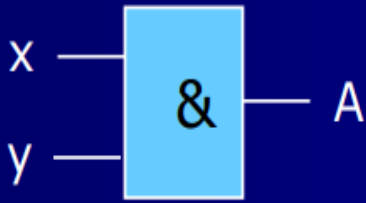
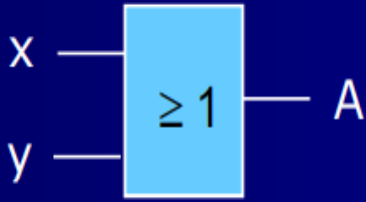
# Function Block

## Basic Element

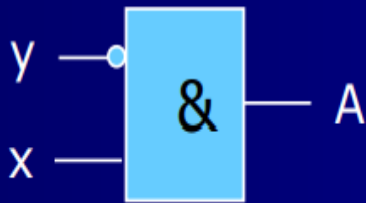
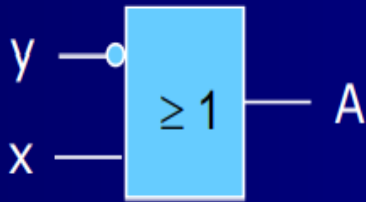
No	Designation	Simbol dan Logic Equation	Tabel Kebenaran	Keterangan						
1	Identity (YES)	 $A = x$	<table border="1"><thead><tr><th>x</th><th>A</th></tr></thead><tbody><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></tbody></table>	x	A	0	0	1	1	Output A akan logic 1 bila input x logic 1
x	A									
0	0									
1	1									
2	Negation (NOT)	 $A = \bar{x}$	<table border="1"><thead><tr><th>x</th><th>A</th></tr></thead><tbody><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></tbody></table>	x	A	0	1	1	0	Output A akan logic 1 bila input x logic 0 dan sebaliknya
x	A									
0	1									
1	0									



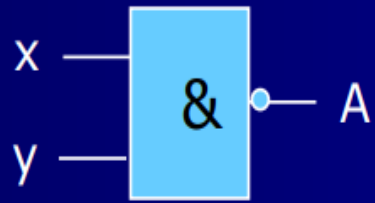
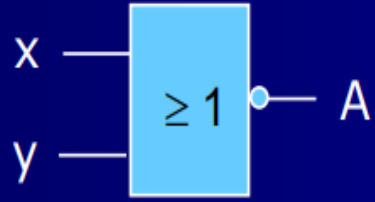
# Basic Element

No	Designation	Simbol dan Logic Equation	Tabel Kebenaran	Keterangan															
3	AND	 $A = x \wedge y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	x	y	A	0	0	0	0	1	0	1	0	0	1	1	1	Output A hanya akan logic 1 bila kedua input x dan y logic 1
x	y	A																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
4	OR	 $A = x \vee y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	x	y	A	0	0	0	0	1	1	1	0	1	1	1	1	Output A akan logic 1 bila salah satu atau kedua input x dan y logic 1
x	y	A																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	

# Basic Element

No	Designation	Simbol dan Logic Equation	Tabel Kebenaran	Keterangan															
5	Exclusion	 $A = x \wedge \bar{y}$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	x	y	A	0	0	0	0	1	0	1	0	1	1	1	0	Output A hanya akan logic 1 bila input x logic 1 dan input y logic 0
x	y	A																	
0	0	0																	
0	1	0																	
1	0	1																	
1	1	0																	
6	Inclusion	 $A = x \vee \bar{y}$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	x	y	A	0	0	1	0	1	0	1	0	1	1	1	1	Output A hanya akan logic 0 bila input x logic 0 dan input y logic 1
x	y	A																	
0	0	1																	
0	1	0																	
1	0	1																	
1	1	1																	

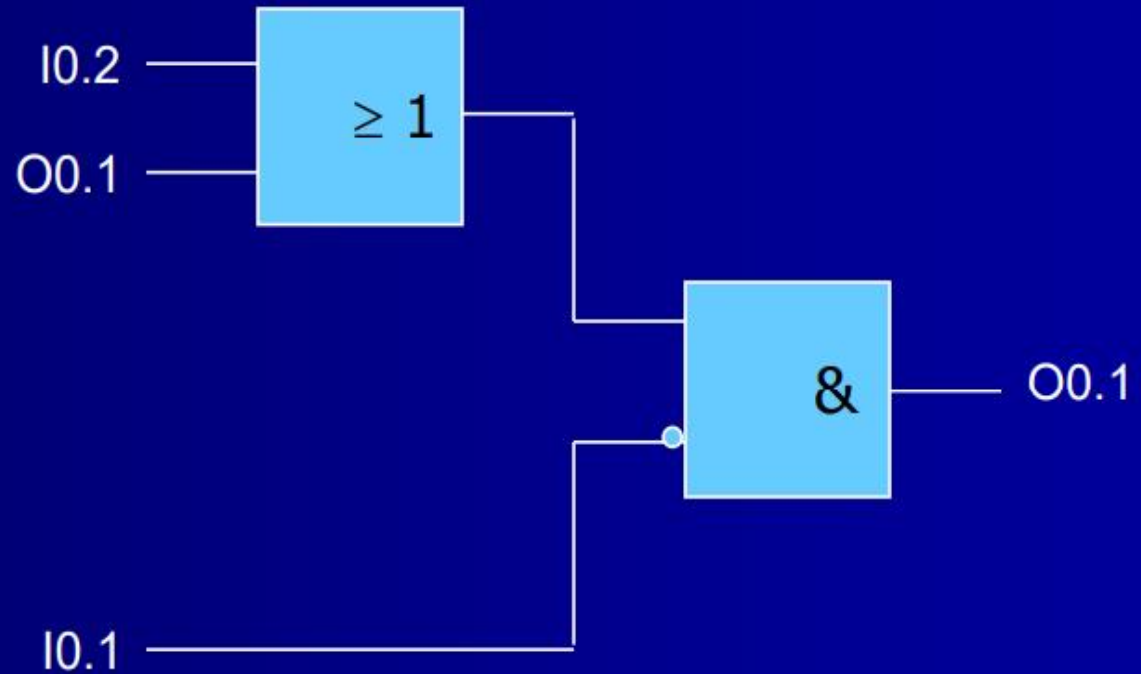
# Basic Element

No	Designation	Simbol dan Logic Equation	Tabel Kebenaran	Keterangan															
7	NAND	 <p><math>A = (x \wedge y)</math></p>	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	x	y	A	0	0	1	0	1	1	1	0	1	1	1	0	Output A hanya akan logic 0 bila kedua input x dan y logic 1
x	y	A																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
8	NOR	 <p><math>A = (x \vee y)</math></p>	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	x	y	A	0	0	1	0	1	0	1	0	0	1	1	0	Output A hanya akan logic 1 bila kedua input x dan y logic 0
x	y	A																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	

# CONTOH FUNCTION BLOCK

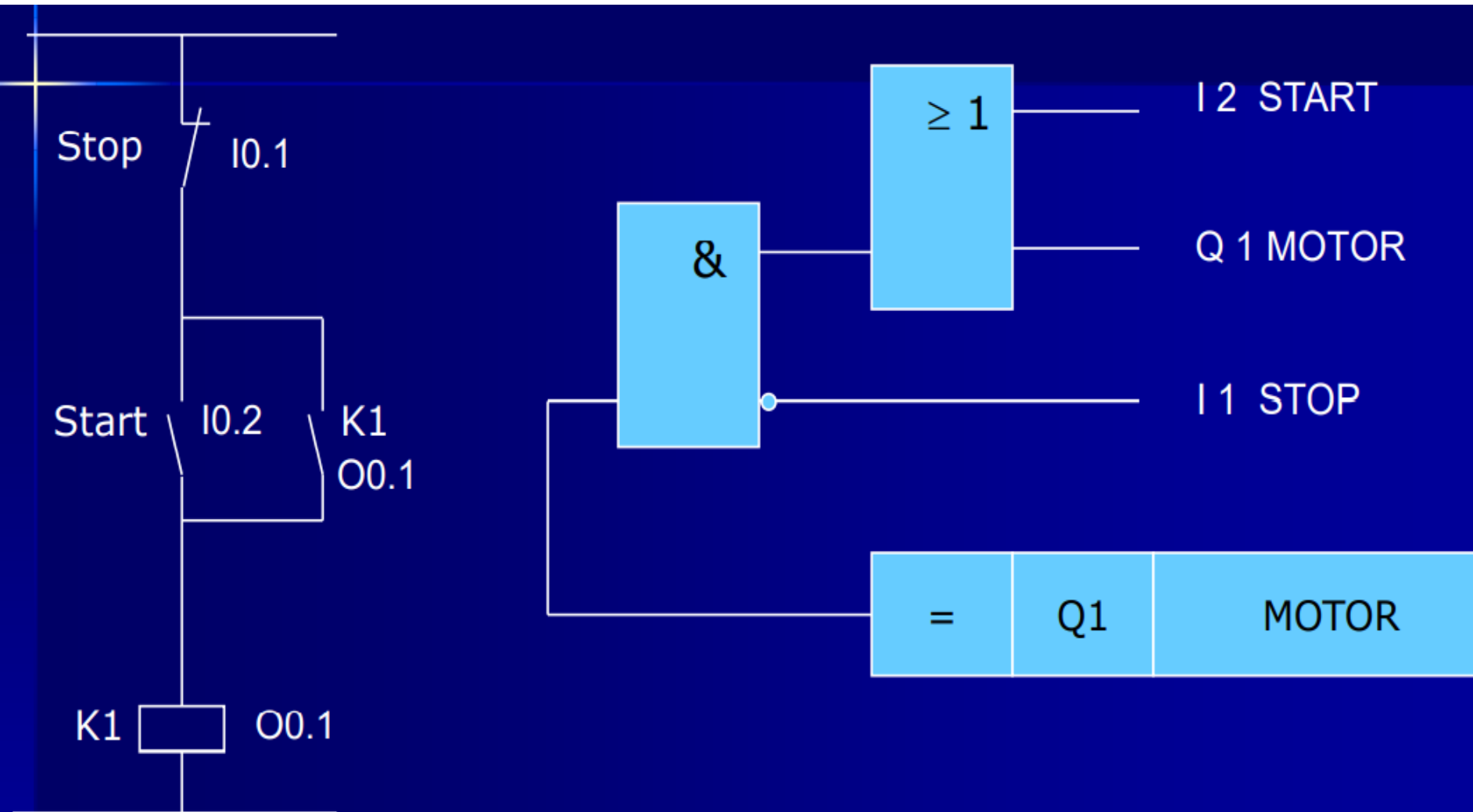


*Circuit Diagram*



*Function Block Language*

# CONTOH FUNCTION BLOCK



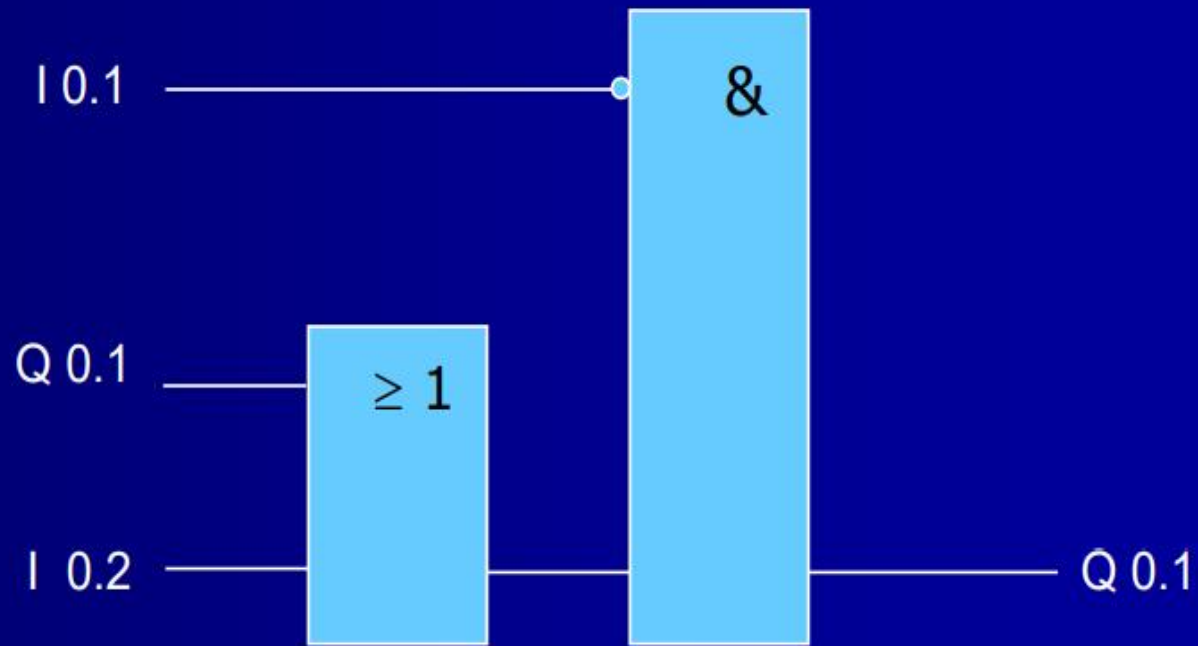
Circuit Diagram

Function Block Language  
PLC Lucas Nulle

# CONTOH FUNCTION BLOCK

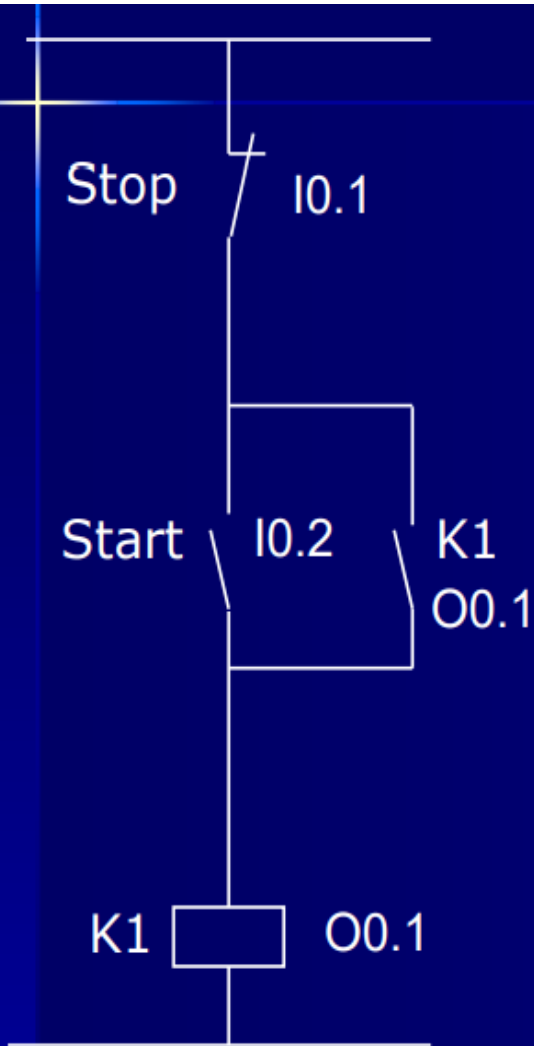


*Circuit Diagram*



*Function Block Language  
PLC Klockner-Moeller*

# CONTOH FUNCTION BLOCK

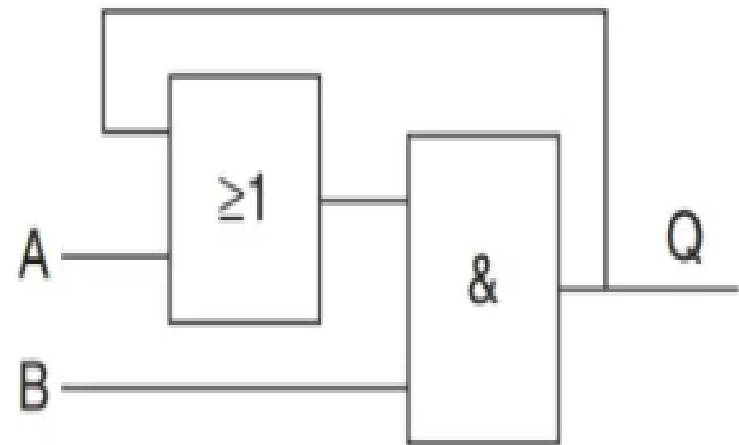
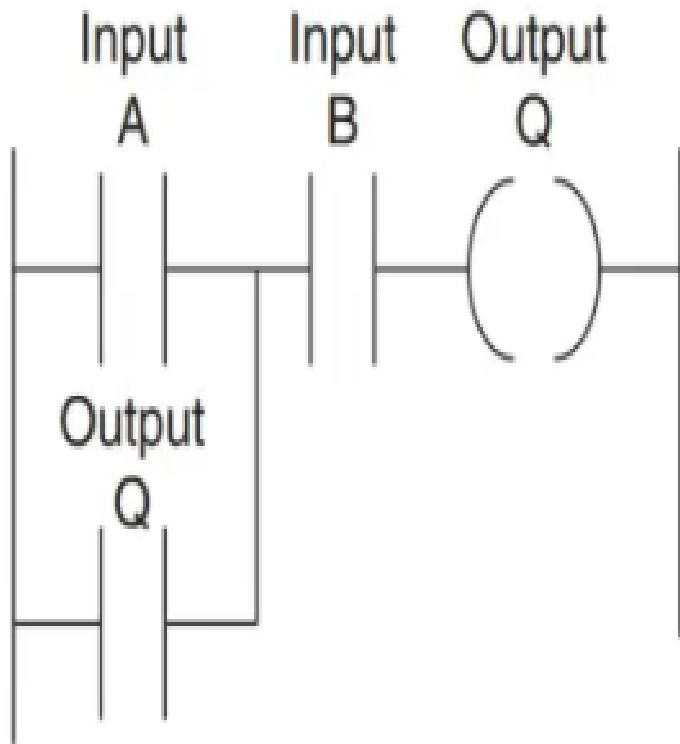


*Circuit Diagram*



*Function Block Language*  
PLC Siemens (STEP 7-Micro/Win 3.2)

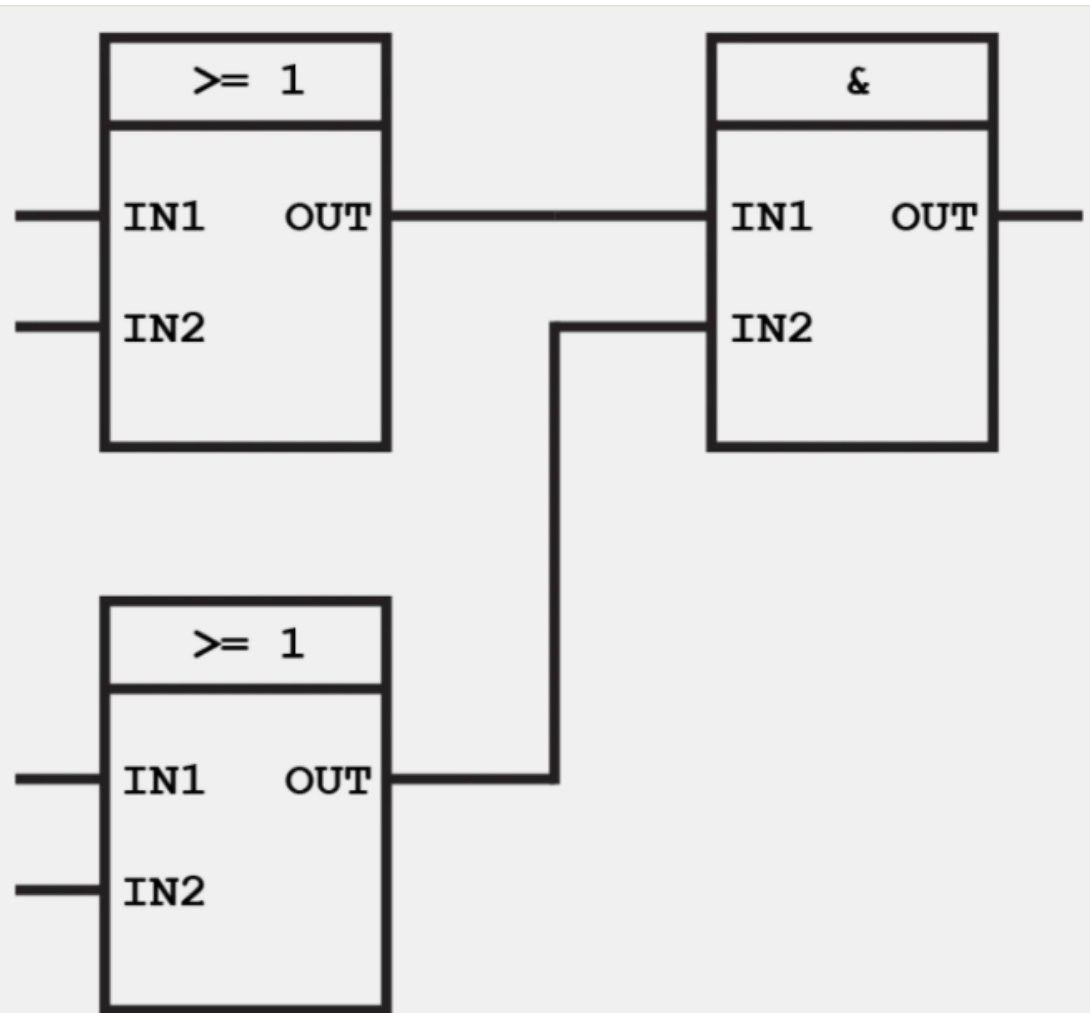
# CONTOH FUNCTION BLOCK



Courtesy of Programmable Logic Controllers by  
W. Bolton



# CONTOH FUNCTION BLOCK



Combining function blocks to make a basic function block diagram